

# SUBSTRATE FOR AC TYPE PLASMA DISPLAY PANEL, AC TYPE PLASMA DISPLAY PANEL AND METHOD FOR DRIVING AC TYPE PLASMA DISPLAY PANEL

Publication number: JP2000188063

Publication date: 2000-07-04

Inventor: NAGANO SHINICHIRO

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: H01J11/00; G09G3/20; G09G3/288; H01J11/02;  
H01J11/00; G09G3/20; G09G3/28; H01J11/02; (IPC1-7): H01J11/02; G09G3/20; G09G3/288; H01J11/00

- European:

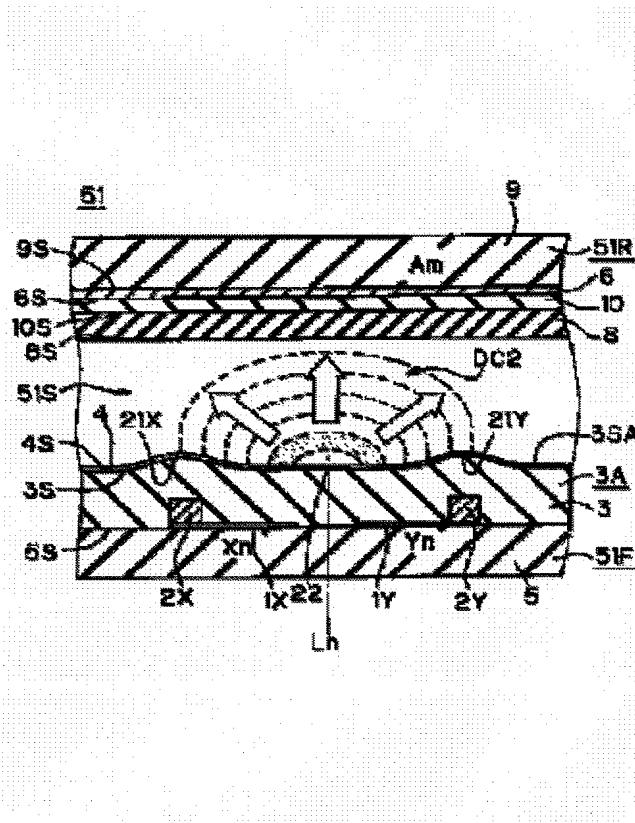
Application number: JP19980362195 19981221

Priority number(s): JP19980362195 19981221

[Report a data error here](#)

## Abstract of JP2000188063

**PROBLEM TO BE SOLVED:** To save power consumption of an AC type plasma display panel(PDP) by reducing a voltage to be supplied to each of electrodes. **SOLUTION:** Striped electrodes Xn, Yn respectively constituted of transparent electrodes 1X, 1Y and bus electrodes 2X, 2Y are formed on a surface 5S of a front glass substrate 5. Each of the bus electrodes 2X, 2Y is higher than a conventional bus electrode for a PDP. A dielectric layer 3 is formed in such a manner as to cover the surface 5S, the transparent electrodes 1X, 1Y and the bus electrodes 2X, 2Y. Protrusions 21X, 21Y are formed on the surface 3S of the dielectric layer 3 on the bus electrodes 2X, 2Y, respectively. A discharge space 51S is wider than the conventional PDP by the protrusions 21X, 21Y. Since an influence of an electric field from an address electrode Am on an electric field generated between the electrodes Xn, Yn is small, it is possible to form a surface discharge DC2 even if a voltage to be applied between the electrodes Xn, Yn is reduced.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マーク〇 (参考)
H 01 J 11/02		H 01 J 11/02	B 5 C 0 4 0
G 09 G 3/20	6 1 1	G 09 G 3/20	6 1 1 A 5 C 0 8 0
3/288		3/28	B
H 01 J 11/00		H 01 J 11/00	K

審査請求 未請求 請求項の数20 O L (全 28 頁)

(21)出願番号 特願平10-362195

(22)出願日 平成10年12月21日 (1998.12.21)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 永野 真一郎

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

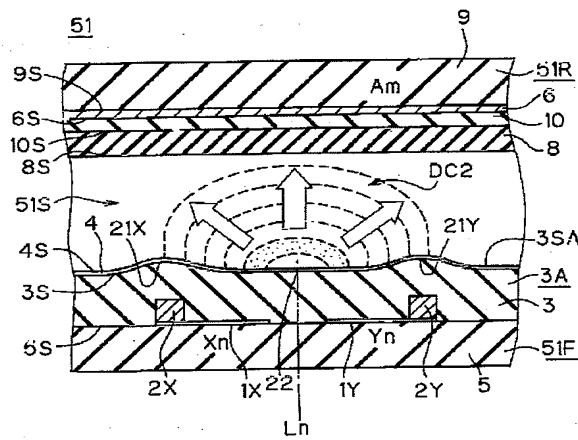
最終頁に続く

(54)【発明の名称】交流型プラズマディスプレイパネル用基板、交流型プラズマディスプレイパネル及び交流型プラズマディスプレイパネルの駆動方法

(57)【要約】

【課題】各電極に供給する電圧を低減することにより、A C型P D Pの省電力化を図る。

【解決手段】前面ガラス基板5の表面5 S上に、透明電極1 X, 1 Yとバス電極2 X, 2 Yから成るストライプ状の電極X n, Y nが形成されている。バス電極2 X, 2 Yの高さは、従来のP D Pのバス電極よりも高い。表面5 S、透明電極1 X, 1 Y及びバス電極2 X, 2 Yを覆うように誘電体層3が形成されている。バス電極2 X, 2 Y上の誘電体層3の表面3 Sに凸部21 X, 21 Yを有する。放電空間5 1 Sは、凸部21 X, 21 Yの分だけ、従来のP D Pよりも広い。その分、アドレス電極A mからの電界が電極X n, Y n間に及ぼす影響が小さいので、電極X n, Y n間に印加する電圧を低減しても、面放電D C 2を起こすことができる。



【特許請求の範囲】

【請求項1】 基板と、

互いに隣接して且つ平行に形成されて対を成し、対峙するエッジ間に内部ギャップを形成する第1電極及び第2電極とを備え、  
前記第1電極及び前記第2電極の内で少なくとも前記第1電極は、前記基板の表面上に形成された帯状の透明電極と前記透明電極の前記基板とは反対側の表面上の一部に前記透明電極の長手方向に沿って形成された金属電極とから成り、

少なくとも前記第1電極と前記第2電極とから成る下地パターンと、

前記下地パターンを覆うように配置され、前記透明電極とは反対側の表面の内で前記金属電極の上方近傍に当該金属電極の断面形状に基づいた凸部を有すると共に、前記表面内に $2\mu\text{m}$ 以上の起伏差を有し、且つ、前記第1電極の前記金属電極上の部分の厚みが前記内部ギャップ近傍部分上の厚みよりも小さい誘電体層とを更に備えることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項2】 請求項1に記載の交流型プラズマディスプレイパネル用基板であって、

前記誘電体層は、当該誘電体層の原材料であるガラスペーストが前記下地パターン上に塗布されることにより、前記ガラスペーストの流動性で以て生じる前記起伏差を有することを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項3】 請求項2に記載の交流型プラズマディスプレイパネル用基板であって、

前記金属電極は、当該金属電極の原材料を成す導電ペーストを用いたスクリーン印刷法の反復により形成されることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項4】 請求項1乃至3のいずれかに記載の交流型プラズマディスプレイパネル用基板であって、

前記第2電極は前記透明電極と前記金属電極とから成り、

前記第1及び第2電極の双方の前記金属電極の厚みは前記誘電体層の厚みよりも大きく、当該金属電極の頂部は前記内部ギャップ近傍上の前記誘電体層の前記表面の高さレベルよりも突出していることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項5】 請求項2に記載の交流型プラズマディスプレイパネル用基板であって、

前記第1電極において前記金属電極の前記内部ギャップ側のエッジと、前記透明電極の前記内部ギャップ側のエッジとは $100\mu\text{m}$ 以上離れていることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項6】 請求項2に記載の交流型プラズマディスプレイパネル用基板であって、

前記金属電極の幅が $200\mu\text{m}$ 以上であることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項7】 請求項2又は5に係る交流型プラズマディスプレイパネル用基板であって、

前記金属電極の前記内部ギャップとは反対側のエッジから $100\mu\text{m}$ 以下の間隙を介して配置された、前記金属電極と同等の高さを有する絶縁物を更に備えることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項8】 請求項7に記載の交流型プラズマディスプレイパネル用基板であって、

前記絶縁物の少なくとも前記基板側の表面が黒色であることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項9】 基板と、

互いに隣接して且つ平行に形成されて対を成し、対峙するエッジ間に内部ギャップを形成すると共に、それぞれが、前記基板の表面上に形成された帯状の透明電極と、前記透明電極の前記基板とは反対側の表面上の一部に、前記対峙するエッジに沿って形成された金属電極とから成る第1電極及び第2電極と、

前記第1電極及び前記第2電極を覆うように配置された誘電体層とを備えることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項10】 請求項1乃至9のいずれかに記載の交流型プラズマディスプレイパネル用基板を備えることを特徴とする、交流型プラズマディスプレイパネル。

【請求項11】 基板と、

前記基板の正面側に互いに平行に形成された複数の帯状のアドレス電極と、

前記基板の前記正面側に形成された電界遮蔽電極と、前記アドレス電極と前記電界遮蔽電極とを覆うと共に両者を電気的に分離する誘電体層と、

前記誘電体層の前記基板とは反対側の表面上であって互いに隣接する前記アドレス電極の間の領域に相当する領域のそれぞれに、少なくともその一部が前記電界遮蔽電極の前記誘電体層の前記表面への投影部と重なるように、前記アドレス電極の長手方向に沿って形成された複数のバリアリブと、

互いに対面する前記バリアリブの各側壁面と前記誘電体層の前記表面とで以て構成されるU字型溝の内表面上に形成された蛍光体層とを備えることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項12】 請求項11に記載の交流型プラズマディスプレイパネル用基板であって、

前記電界遮蔽電極は、前記アドレス電極が形成されている平面上であって隣接する前記アドレス電極間に、前記アドレス電極と一括形成された帯状の電極であることを特徴とする、交流型プラズマディスプレイパネル用基板。

【請求項13】 請求項11に記載の交流型プラズマディ

イスプレイパネル用基板であって、  
前記アドレス電極は、前記主面と所定の距離だけ離れて  
形成されており、  
前記電界遮蔽電極は、前記アドレス電極と前記主面との  
間に形成された帯状の電極であることを特徴とする、交流  
型プラズマディスプレイパネル用基板。

【請求項14】 請求項11に記載の交流型プラズマディスプレイパネル用基板であって、  
前記電界遮蔽電極は、前記アドレス電極と前記主面との  
間に形成された平面電極であることを特徴とする、交流  
型プラズマディスプレイパネル用基板。

【請求項15】 請求項11に記載の交流型プラズマディスプレイパネル用基板であって、  
前記電界遮蔽電極は、前記バリアリップの内部に形成され  
ていることを特徴とする、交流型プラズマディスプレイ  
パネル用基板。

【請求項16】 請求項11乃至15のいずれかに記載  
の交流型プラズマディスプレイパネル用基板であって、  
外部電圧が供給される前記アドレス電極の配線端子と、  
当該アドレス電極の配線端子に隣接する、外部電圧が供  
給される前記電界遮蔽電極の配線端子との間隔は、前記  
複数のアドレス電極の各配線端子間の最小寸法よりも大  
きいことを特徴とする、交流型プラズマディスプレイパ  
ネル用基板。

【請求項17】 請求項11乃至16のいずれかに記載  
の交流型プラズマディスプレイパネル用基板を備えるこ  
とを特徴とする、交流型プラズマディスプレイパネル。

【請求項18】 請求項1乃至9のいずれかに記載の前  
記交流型プラズマディスプレイパネル用基板である第1  
基板と、

請求項11乃至15のいずれかに記載の前記交流型プラ  
ズマディスプレイパネル用基板である第2基板とを備  
え、前記第1基板と前記第2基板とは、前記第1及び第  
2電極と前記アドレス電極とが互いに立体交差する方向  
に配置されて成ることを特徴とする、交流型プラズマディ  
スプレイパネル。

【請求項19】 請求項18に記載の前記交流型プラズ  
マディスプレイパネルの駆動方法であって、  
1画面分の映像表示時間を複数のサブフィールドに分割  
した上で、前記複数のサブフィールドのそれぞれにおい  
て消去、入力画像データに基づく書き込み及び維持の各放  
電が、前記第1及び第2電極と前記アドレス電極との立  
体交差により規定される放電セルにおいて生じるよう  
に前記放電セルを駆動する方法において、アドレス電極  
に、共に入力画像データに基づく、第1電圧又は前記第  
1電圧よりも低い第2電圧のいずれか一方の電圧が印加  
されて実行される前記書き込み放電の際に、  
前記電界遮蔽電極に、前記第1電圧と前記第2電圧との  
和の半分の値の電圧に対して前記第2電圧寄りの電圧を  
供給することを特徴とする、交流型プラズマディスプレ

イパネルの駆動方法。

【請求項20】 請求項18に記載の前記交流型プラズ  
マディスプレイパネルの駆動方法であって、  
1画面分の映像表示時間を複数のサブフィールドに分割  
した上で、前記複数のサブフィールドのそれぞれにおい  
て消去、入力画像データに基づく書き込み及び維持の各放  
電が、前記第1及び第2電極と前記アドレス電極との立  
体交差により規定される放電セルにおいて生じるよう  
に前記放電セルを駆動する方法において、  
前記書き込み放電以外の放電を発生させる際に、前記電界  
遮蔽電極を前記アドレス電極の電位と同等の電位に又は  
電気的な浮遊状態に制御することを特徴とする、交流型  
プラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は交流型プラズマディ  
スプレイパネル（以下、「AC型PDP」又は単に  
「PDP」とも呼ぶ）に関するものであり、特に、同P  
DPにおける省電力化のための技術並びにそれに伴う誤  
放電の発生を抑制・除去のための技術に関する。

【0002】

【従来の技術】図23は、一般的な従来のAC型PDP  
の構造を示す分解斜視図である。

【0003】図23に示すように、従来のAC型PDP  
151では、前面パネル151Fと背面パネル151R  
とがカソード膜104とバリアリップ107の頂部とが当  
接するように配置されて、放電空間151Sを形成して  
いる。前面パネル151Fと背面パネル151Rとは、  
図示しない周縁部において封着されており、放電空間1  
51S内にNe-Xe混合ガスやHe-Xe混合ガス等  
の放電用ガスが封入されている。

【0004】前面パネル151Fにおいて、表示面を成  
す前面ガラス基板105の放電空間151S側の表面上  
に2N本の透明電極101が互いに平行にストライプ状  
に形成されている。更に、透明電極101の放電空間1  
51S側の表面上に、透明電極101の導電性を補って  
同電極101に電圧を供給するための金属材料から成る  
バス電極102が透明電極101に沿うように形成され  
ている。当該透明電極101及びバス電極102から成  
る構造の（複数の）電極は隣接する2本毎に互いに対  
を成し、かかる一対の同電極で以て1本の走査線を形成  
している。このとき、図23に示すように、n番目（ $1 \leq n \leq N$ ）の走査線L<sub>n</sub>は、互いに対を成す2本の電極X<sub>n</sub>、Y<sub>n</sub>で以て構成される。なお、電極X<sub>n</sub>、Y<sub>n</sub>を成  
す各バス電極102は、透明電極101上的一部分であつ  
て、走査線L<sub>n</sub>に隣接する走査線L<sub>n-1</sub>、L<sub>n+1</sub>の  
側、即ち、走査線L<sub>n</sub>の中心軸から最も遠い位置に形成  
されている。

【0005】そして、透明電極101及びバス電極10  
2を被覆するように、前面ガラス基板105の上記表面

の全面に亘って誘電体層103が形成されており、当該誘電体層103の放電空間151S側の表面上に、放電の際にカソードとして機能するMgO蒸着膜ないしはカソード膜104が形成されている。

【0006】他方、背面パネル151Rにおいて、背面ガラス基板109の放電空間151S側の表面上に、電極Xn及びYnと直交する方向にM本の書込み電極106ないしはアドレス電極Am( $1 \leq m \leq M$ )が延長形成されており、当該アドレス電極106を覆うように背面ガラス基板109の上記表面の全面に亘って誘電体より成るグレーズ層110が形成されている。そして、隣接するアドレス電極106間の領域に位置するグレーズ層110の放電空間151S側の表面上にバリアリブ107が形成されている。更に、隣接するバリアリブ107の互いに対面する側壁面上及び当該隣接するバリアリブ107に挟まれたグレーズ層110の上記表面上に蛍光体層が形成されており、かかる蛍光体層はそれぞれが赤色、緑色、青色の各蛍光色を発する蛍光体層108R、108G、108B(これらを総称して「蛍光体層108」とも呼ぶ)より成る。

【0007】PDP151では、一対の電極Xn、Ynによって構成されるn番目の走査線Lnとアドレス電極106とが立体交差する各点が1個の放電セルないしは1ピクセルを形成しており、当該放電セルがマトリクス状に多数配列されてPDP151の画面を構成している。そして、各電極Xn、Yn、Amに所定の電圧を印加することによって、所定の放電セルの放電空間151S内に放電を発生させる。

【0008】PDPの駆動方法の一例として、例えば1画面分の映像表示時間を、それぞれが消去期間、アドレス期間及び維持期間を有する複数のサブフィールドに分けて駆動する方法がある。かかる駆動方法では、まず、消去期間において直前のサブフィールドの表示履歴を消去する。引き続くアドレス期間では、入力画像信号に基づいて、各放電セルに後の維持期間で維持放電を発生させるか否かの情報を付与する。このとき、入力画像信号に基づいた所定の電圧Von又はVoffをアドレス電極Amに順次に印加して行くことによって、全放電セルに対して上記情報を書き込む。詳細には、電圧Vonが印加されたアドレス電極Amと走査電極としての電極Yn(これに対して、電極Xnを「維持電極Xn」とも呼ぶ)との間に書き込み対向放電を生じさせる。そして、かかる対向放電をトリガーとして電極対Xn、Yn間に書き込み面放電を発生させて、電極Xn、Ynの上方に位置するカソード膜104の各表面上に、上記情報としての壁電荷を蓄積する。そして、引き続く維持期間において、表示発光となる維持放電を発生させる。

【0009】このとき、カソード膜104とバリアリブ107との間に隙間が存在すると、放電を発生させる必要が無い放電セルに意図しない放電、即ち誤放電が発生

してしまう。例えば、アドレス期間において後の維持放電を発生させないための情報が書き込まれた放電セルが、維持期間において発光してしまう場合が生じる。かかる誤放電の発生を防止するために、従来のPDP151では、上記隙間を生じないようにするために、カソード膜104とバリアリブ107とが当接するように前面パネル151Fと背面パネル151Rとが配置される。特に、上記隙間が生じないようにするために、カソード膜104の表面はできる限り凹凸形状が除去されて平坦であることが求められる。一般に、上記凹凸形状の起伏差は、走査線1ピッチ当たりのスパンで0~2μmである。

#### 【0010】

【発明が解決しようとする課題】さて、上述の駆動方法におけるアドレス期間では、1画面分の所定の映像表示時間内にM本のアドレス電極Am( $1 \leq m \leq M$ )に順次に所定の電圧Von又はVoffを印加しなければならない。このため、アドレス期間における書き込み動作において、アドレス電極Amは非常に高速でスイッチングされる。このとき、電極駆動用ICの定格に対するマージンの確保や、消費電力の抑制の観点から、電圧差(Von-Voff)はできる限り小さい値に設定されることが望ましい。

【0011】上記電圧差(Von-Voff)をより小さくするための対策の一例として、アドレス電極Amと走査電極としての電極Ynとの間隔を狭めることによって電圧Vonを低減するという対策が考えられる。かかる対策を以下に詳述する。

【0012】図23の誘電体層103、蛍光体層108(蛍光体層108R、108G、108B)、オーバーグレーズ層110のそれぞれを成す各材料は、一般的にNe-Xe等の放電ガスで満たされた放電空間151Sよりもはるかに大きい誘電率を有すると共に、これらの各層110、108、110の層厚は放電空間151Sの寸法に比べてはるかに薄いないしは小さい。このため、アドレス電極Amと走査電極Ynと間に印加された電圧の殆どは放電空間151Sに印加される。従って、アドレス電極Am及び走査電極Ynのそれぞれに同一の電圧値の電圧を印加するときには、バリアリブ107の高さが低いほど、放電空間151Sにより強い電界が印加される。即ち、バリアリブ107の高さを低くすることによって、より低い電圧値の電圧Vonで以て、アドレス電極Amと走査電極Ynとの間での対向書き込み放電を起こすために必要な強度を有する電界を供給することができる。従って、バリアリブ107の高さを低くすることによって、上述の電圧差(Von-Voff)をより小さくすることが可能である。

【0013】しかしながら、バリアリブ107を低くした場合、放電空間151Sの狭小化の分だけアドレス電極Amからの電界が電極対Xn、Yn間の電界に及ぼす

影響が強くなる。その結果、電極対X<sub>n</sub>, Y<sub>n</sub>間での書き込み面放電の放電開始電圧が上昇してしまうという新たな問題が惹起される。

【0014】かかる書き込み面放電の放電開始電圧の上昇は、電極対X<sub>n</sub>, Y<sub>n</sub>に印加すべき電圧自体を増大させれば解決される。ところが、かかる場合には、電極X<sub>n</sub>, Y<sub>n</sub>のスイッチング動作時の電力消費量が増えてしまい、消費電力の抑制等という当初の目的がなんら達成されないばかりか、消費電力の増大が発光効率の低下を招いてしまう。更に、電極X<sub>n</sub>, Y<sub>n</sub>への印加電圧を増大させた場合には、図23のカソード膜104が激しいスパッタ禍を被るという問題点をも含んでいる。従って、電極対X<sub>n</sub>, Y<sub>n</sub>への印加電圧を増大させることによって同電極対X<sub>n</sub>, Y<sub>n</sub>間での書き込み面放電の放電開始電圧を低減するという方法は、到底採用に値しないと考えられる。

【0015】従来のPDP151は、放電空間151S内の電界を3つの電極X<sub>n</sub>, Y<sub>n</sub>, A<sub>m</sub>のそれぞれへの印加電圧を制御することによって、上記対向放電又は面放電を発生させて駆動される。このとき、放電空間151S内の電界は、各電極X<sub>n</sub>, Y<sub>n</sub>, A<sub>m</sub>への印加電圧のそれぞれが非常に複雑に関与するため、上記印加電圧の低減化によってPDP全体の消費電力を低減することは非常に難しい。

【0016】そこで、本発明の第1の目的は、上述の問題点に鑑みてなされたものであり、AC型PDPの各電極への印加電圧の低減化によって当該AC型PDPの省電力化を推進することにある。

【0017】更に、本発明は、上記第1の目的を実現する際に適用される、より実用的なAC型PDPの構造及びその駆動方法を提供することを第2の目的とする。

【0018】更に、上記第1及び第2の目的を実現しうるAC型PDP用基板並びにその製造方法を提供することを第3の目的とする。

#### 【0019】

【課題を解決するための手段】(1)請求項1に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、基板と、互いに隣接して且つ平行に形成されて対を成し、対峙するエッジ間に内部ギャップを形成する第1電極及び第2電極とを備え、前記第1電極及び前記第2電極の内で少なくとも前記第1電極は、前記基板の表面上に形成された帯状の透明電極と前記透明電極の前記基板とは反対側の表面上の一部に前記透明電極の長手方向に沿って形成された金属電極とから成り、少なくとも前記第1電極と前記第2電極とから成る下地パターンと、前記下地パターンを覆うように配置され、前記透明電極とは反対側の表面の内で前記金属電極の上方近傍に当該金属電極の断面形状に基づいた凸部を有すると共に、前記表面内に2μm以上の起伏差を有し、且つ、前記第1電極の前記金属電極上の部分の厚みが前記内部ギャップ

近傍部分上の厚みよりも小さい誘電体層とを更に備えることを特徴とする。

【0020】(2)請求項2に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、請求項1に記載の交流型 plasmaディスプレイパネル用基板であって、前記誘電体層は、当該誘電体層の原材料であるガラスベーストが前記下地パターン上に塗布されることにより、前記ガラスベーストの流動性で以て生じる前記起伏差を有することを特徴とする。

【0021】(3)請求項3に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、請求項2に記載の交流型 plasmaディスプレイパネル用基板であって、前記金属電極は、当該金属電極の原材料を成す導電ペーストを用いたスクリーン印刷法の反復により形成されることを特徴とする。

【0022】(4)請求項4に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、請求項1乃至3のいずれかに記載の交流型 plasmaディスプレイパネル用基板であって、前記第2電極は前記透明電極と前記金属電極とから成り、前記第1及び第2電極の双方の前記金属電極の厚みは前記誘電体層の厚みよりも大きく、当該金属電極の頂部は前記内部ギャップ近傍上の前記誘電体層の前記表面の高さレベルよりも突出していることを特徴とする。

【0023】(5)請求項5に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、請求項2に記載の交流型 plasmaディスプレイパネル用基板であって、前記第1電極において前記金属電極の前記内部ギャップ側のエッジと、前記透明電極の前記内部ギャップ側のエッジとは100μm以上離れていることを特徴とする。

【0024】(6)請求項6に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、請求項2に記載の交流型 plasmaディスプレイパネル用基板であって、前記金属電極の幅が200μm以上であることを特徴とする。

【0025】(7)請求項7に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、請求項2又は5に記載の交流型 plasmaディスプレイパネル用基板であって、前記金属電極の前記内部ギャップとは反対側のエッジから100μm以下の間隙を介して配置された、前記金属電極と同等の高さを有する絶縁物を更に備えることを特徴とする。

【0026】(8)請求項8に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、請求項7に記載の交流型 plasmaディスプレイパネル用基板であって、前記絶縁物の少なくとも前記基板側の表面が黒色であることを特徴とする。

【0027】(9)請求項9に記載の発明に係る交流型 plasmaディスプレイパネル用基板は、基板と、互いに隣接して且つ平行に形成されて対を成し、対峙するエッジ間に内部ギャップを形成する第1電極及び第2電極とを備え、前記第1電極及び前記第2電極の内で少なくとも前記第1電極は、前記基板の表面上に形成された帯状の透明電極と前記透明電極の前記基板とは反対側の表面上の一部に前記透明電極の長手方向に沿って形成された金属電極とから成り、少なくとも前記第1電極と前記第2電極とから成る下地パターンと、前記下地パターンを覆うように配置され、前記透明電極とは反対側の表面の内で前記金属電極の上方近傍に当該金属電極の断面形状に基づいた凸部を有すると共に、前記表面内に2μm以上の起伏差を有し、且つ、前記第1電極の前記金属電極上の部分の厚みが前記内部ギャップ

ジ間に内部ギャップを形成すると共に、それぞれが、前記基板の表面上に形成された帯状の透明電極と、前記透明電極の前記基板とは反対側の表面上の一部に、前記対峙するエッジに沿って形成された金属電極とから成る第1電極及び第2電極と、前記第1電極及び前記第2電極を覆うように配置された誘電体層とを備えることを特徴とする。

【0028】(10) 請求項10に記載の発明に係る交流型プラズマディスプレイパネルは、請求項1乃至9のいずれかに記載の交流型プラズマディスプレイパネル用基板を備えることを特徴とする。

【0029】(11) 請求項11に記載の発明に係る交流型プラズマディスプレイパネル用基板は、基板と、前記基板の主面側に互いに平行に形成された複数の帯状のアドレス電極と、前記基板の前記主面側に形成された電界遮蔽電極と、前記アドレス電極と前記電界遮蔽電極とを覆うと共に両者を電気的に分離する誘電体層と、前記誘電体層の前記基板とは反対側の表面上であって互いに隣接する前記アドレス電極の間の領域に相当する領域のそれぞれに、少なくともその一部が前記電界遮蔽電極の前記誘電体層の前記表面への投影部と重なるように、前記アドレス電極の長手方向に沿って形成された複数のバリアリップと、互いに対面する前記バリアリップの各側壁面と前記誘電体層の前記表面とで以て構成されるU字型溝の内表面上に形成された蛍光体層とを備えることを特徴とする。

【0030】(12) 請求項12に記載の発明に係る交流型プラズマディスプレイパネル用基板は、請求項11に記載の交流型プラズマディスプレイパネル用基板であって、前記電界遮蔽電極は、前記アドレス電極が形成されている平面上であって隣接する前記アドレス電極間に、前記アドレス電極と一括形成された帯状の電極であることを特徴とする。

【0031】(13) 請求項13に記載の発明に係る交流型プラズマディスプレイパネル用基板は、請求項11に記載の交流型プラズマディスプレイパネル用基板であって、前記アドレス電極は、前記主面と所定の距離だけ離れて形成されており、前記電界遮蔽電極は、前記アドレス電極と前記主面との間に形成された帯状の電極であることを特徴とする。

【0032】(14) 請求項14に記載の発明に係る交流型プラズマディスプレイパネル用基板は、請求項11に記載の交流型プラズマディスプレイパネル用基板であって、前記電界遮蔽電極は、前記アドレス電極と前記主面との間に形成された平面電極であることを特徴とする。

【0033】(15) 請求項15に記載の発明に係る交流型プラズマディスプレイパネル用基板は、請求項11に記載の交流型プラズマディスプレイパネル用基板であって、前記電界遮蔽電極は、前記バリアリップの内部に形

成されていることを特徴とする。

【0034】(16) 請求項16に記載の発明に係る交流型プラズマディスプレイパネル用基板は、請求項11乃至15のいずれかに記載の交流型プラズマディスプレイパネル用基板であって、外部電圧が供給される前記アドレス電極の配線端子と、当該アドレス電極の配線端子に隣接する、外部電圧が供給される前記電界遮蔽電極の配線端子との間隔は、前記複数のアドレス電極の各配線端子間の最小寸法よりも大きいことを特徴とする。

【0035】(17) 請求項17に記載の発明に係る交流型プラズマディスプレイパネルは、請求項11乃至16のいずれかに記載の交流型プラズマディスプレイパネル用基板を備えることを特徴とする。

【0036】(18) 請求項18に記載の発明に係る交流型プラズマディスプレイパネルは、請求項1乃至9のいずれかに記載の前記交流型プラズマディスプレイパネル用基板である第1基板と、請求項11乃至15のいずれかに記載の前記交流型プラズマディスプレイパネル用基板である第2基板とを備え、前記第1基板と前記第2基板とは、前記第1及び第2電極と前記アドレス電極とが互いに立体交差する方向に配置されて成ることを特徴とする。

【0037】(19) 請求項19に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項18に記載の前記交流型プラズマディスプレイパネルの駆動方法であって、1画面分の映像表示時間を複数のサブフィールドに分割した上で、前記複数のサブフィールドのそれぞれにおいて消去、入力画像データに基づく書き込み及び維持の各放電が、前記第1及び第2電極と前記アドレス電極との立体交差により規定される放電セルにおいて生じるよう前記放電セルを駆動する方法において、アドレス電極に、共に入力画像データに基づく、第1電圧又は前記第1電圧よりも低い第2電圧のいずれか一方の電圧が印加されて実行される前記書き込み放電の際に、前記電界遮蔽電極に、前記第1電圧と前記第2電圧との和の半分の値の電圧に対して前記第2電圧寄りの電圧を供給することを特徴とする。

【0038】(20) 請求項20に記載の発明に係る交流型プラズマディスプレイパネルの駆動方法は、請求項18に記載の前記交流型プラズマディスプレイパネルの駆動方法であって、1画面分の映像表示時間を複数のサブフィールドに分割した上で、前記複数のサブフィールドのそれぞれにおいて消去、入力画像データに基づく書き込み及び維持の各放電が、前記第1及び第2電極と前記アドレス電極との立体交差により規定される放電セルにおいて生じるよう前記放電セルを駆動する方法において、前記書き込み放電以外の放電を発生させる際に、前記電界遮蔽電極を前記アドレス電極の電位と同等の電位に又は電気的な浮遊状態に制御することを特徴とする。

【0039】

【発明の実施の形態】この発明の実施の形態を説明する前に、その前提となる技術について説明する。

【0040】(前提技術) 前提技術として、交流型プラズマディスプレイパネル(AC型PDP。以下、単に「PDP」とも呼ぶ)の駆動方法の一例を説明する。なお、本前提技術にかかる駆動方法は、特願平9-173962号に提案される。

【0041】前提技術に係るPDPの駆動方法は、カラー画像を表示するための駆動方法として、1画面分の映像表示時間を複数のフィールドに分割している。ここでは、図1に示すように、1画面分の映像表示時間を8個のサブフィールドSF1～SF8に分割することによって、256階調のカラー画像を得る場合について述べる。

【0042】上記サブフィールドSF1～SF8の各々は、更に、直前のサブフィールドにおける発光の履歴を消去するための消去動作期間ないしは消去期間RA又はRBと、当該サブフィールドにおいて発光セルの発光/非発光を選択するための書き込み動作期間ないしはアドレス期間ADと、直前のアドレス期間ADで選択された状態に応じて放電/非放電を所定の回数だけ実行するための維持動作期間ないしは維持期間Sに分割されている。このとき、サブフィールドSF1～SF8の各々の維持期間Sは各サブフィールドSF1～SF8毎にランク付けがされており、例えばサブフィールドSF2における維持期間Sの時間はサブフィールドSF1における維持期間Sの時間のほぼ2倍に設定されている。即ち、サブフィールドSF(N+1)の維持期間Sの時間はサブフィールドSFNのそれのほぼ2倍に設定されている(N:1～7)。

【0043】各サブフィールドのアドレス期間ADにおいて選択された発光セルないしは放電セルでは、維持期間S中に印加される維持パルスによって、同維持パルスの数と同じ回数の維持放電が発生する。かかる維持放電によって生じる可視発光が当該発光セルの表示発光となる。既述のように、上記維持パルスの数は各サブフィールドSF1～SF8の維持期間Sの時間にほぼ比例するよう設定されているので、アドレス期間ADにおいて書き込み動作によって選択された発光セルの発光輝度はサブフィールドの番号が1つ進むにつれてほぼ倍増する。従って、各サブフィールドにおける維持期間Sでの点灯/非点灯(発光セルのON状態/OFF状態)の組み合わせを制御することによって、1つの発光セルにおいて2<sup>8</sup>=256水準の発光輝度、即ち、256階調の表示発光を得ることができる。

【0044】次に、1つのサブフィールドにおける、より具体的な駆動方法を図2及び図3の各タイミングチャートを用いて説明する。ここでは、PDPとして図23の従来のPDP151を用いることとする。図2及び図3のそれぞれにおいて、(a)は図23中のM本の内の

所定のアドレス電極106に該当するアドレス電極Am(1≤m≤M)のタイミングチャートであり、(b)はN本の内の所定の維持電極Xnのタイミングチャートであり(但し、N本の維持電極Xnは共通に接続されて单一の電圧が印加される)、(c)～(e)の各々はN本の内の所定の走査電極Yn(1≤n≤N)のタイミングチャートである。なお、図2及び図3に示す各サブフィールドはそれぞれ消去期間RA又は消去期間RBを備える。

【0045】図2及び図3の各アドレス期間では、走査電極Ynに順次に電圧(-V<sub>y</sub>)を印加することによって、電極対Xn, Ynより成るn番目の走査線Ln(図23参照)に対して順次に書き込み動作を行なう。このとき、上記電圧(-V<sub>y</sub>)の印加に同期して、アドレス電極Amに画像情報のON状態/OF状態に基づいたデータ信号として電圧V<sub>on</sub>/電圧V<sub>off</sub>を印加する。また、維持電極Xnには、所定の電圧V<sub>x</sub>を印加する。アドレス電極Amに電圧V<sub>on</sub>が印加された放電セルでは書き込み放電が発生して、上記画像情報が(壁電荷として)当該発光セルに書き込まれる。他方、アドレス電極Amに電圧V<sub>off</sub>が印加された発光セルでは、上記書き込み放電は生じない。

【0046】そして、引き続く維持期間Sでは、維持電極Xnと走査電極Ynとの間に、交流の維持パルスないしはVsを印加する。このとき、上述のアドレス期間ADにおいて書き込み放電を起こした放電セルは、上記維持パルスVsの印加時のタイミングに対応して維持放電が生じる。

【0047】ここで、図4及び図5を用いて、アドレス期間ADにおける書き込み放電の発生機構を説明する。電極X, Ynのそれぞれに電圧V<sub>x</sub>, 電圧(-V<sub>y</sub>)を印加すると、電極対Xn, Yn間の上方の放電空間151Sに電界が生じる。しかし、かかる電界だけでは電極対Xn, Yn間に面放電を発生させるために必要な電界強度を有さない。このような状態において、アドレス電極AmにON状態の画像データ信号に基づく電圧V<sub>on</sub>が印加されると、アドレス電極Amと走査電極Ynとの間に強い電界が生じ、図4に示すように、アドレス電極Amと両電極間での(書き込み)対向放電DC1が発生する。すると、当該対向放電DC1により生じた荷電粒子がトリガーとなって、図5に示すように、電極対Xn, Yn間に(書き込み)面放電DC2が発生する。

【0048】面放電DC2によって生じた負又は正の荷電粒子はそれぞれ同粒子の極性とは反対の極性を有する電極Xn, Ynの側に引き寄せられ、各電極Xn, Ynの上方のカソード膜104の表面104Sに壁電荷として蓄えられる。このとき、かかる壁電荷が放電空間151S内に形成する電界は、電極対Xn, Yn間に印加された電圧が放電空間151S内に形成する電界を打ち消す方向に働くので、次第に上記表面104Sに引き寄

せられる荷電粒子の量が減少する。そして、壁電荷の蓄積量が一定量に達すると、電極対  $X_n, Y_n$  間での書込み放電面放電  $D C_2$  が終了する。このとき、カソード膜  $104$  の表面  $104S$  に蓄積された壁電荷は解消することなく残存し、アドレス期間  $AD$  に引き続く維持期間  $S$  において、電極対  $X_n, Y_n$  間での維持放電（面放電）の発生に必要な電界を放電空間  $151S$  に付与する役割を担う。かかる壁電荷の作用によって、当該電圧  $V_{on}$  が印加された放電セルは、維持期間  $S$  において発光する。

【0049】他方、アドレス期間  $AD$  において、アドレス電極  $A_m$  に  $O F F$  状態の画像データ信号に基づく電圧  $V_{off}$  が印加された放電セルでは、アドレス電極  $A_m$  と  $Y_n$  と間に書込み対向放電  $D C_1$  を発生させるために十分な電界が形成されない。このため、アドレス電極  $A_m$  と走査電極  $Y_n$  間での書込み対向放電  $D C_1$  は発生せず、従って、電極対  $X_n, Y_n$  間での書込み面放電  $D C_2$  も発生しない。その結果、電圧  $V_{off}$  が印加された放電セルは上述の壁電荷が形成されない状態のままで維持期間  $S$  に移行するので、同維持期間  $S$  において維持放電は発生しない。即ち、当該放電セルは発光しない。

【0050】（実施の形態1）図6は、実施の形態1に係るAC型PDP（以下、単に「PDP」とも呼ぶ）51の構造、特に、1つの放電セルないしは発光セルの構造を模式的に示す縦断面図である。図6は、ちょうど図23の従来のAC型PDP 51において矢印A2の方向から見た場合の図に相当する。また、後述の図17は、本PDP 51を図23のPDP 51を矢印A1の方向から見た図に相当する。このため、以下の説明は図17をも参照しつつ行う。

【0051】図6に示すように、PDP 51では、共にAC型PDP用基板である第1基板51Fと第2基板51Rとが放電空間51Sを介して配置されている。第1基板51Fと第2基板51Rとは、図示しない周縁部において封着されており、放電空間51S内にNe-Xe混合ガスやHe-Xe混合ガス等の放電用ガスが封入されている。

【0052】第2基板51Rは、以下の構造を有する。背面ガラス基板9の表面ないしは主面9S上に帯状のアドレス電極6が形成されている。当該アドレス電極6は、図23の従来のPDP 51のアドレス電極106と同様に、M本の電極がストライプ状に形成されているが、図6では、図示する方向の関係上、1本のアドレス電極6のみを図示している。以下、M本のアドレス電極6の内の所定の1本を「アドレス電極  $A_m$ 」（ $1 \leq m \leq M$ ）とも呼ぶ。そして、アドレス電極6及び背面ガラス基板9の表面9Sを覆うように、誘電体より成るオーバーガレーズ層ないしはグレーズ層10が形成されている（図23のオーバーガレーズ層110に相当）。

【0053】そして、後述の図17に示すように、複数

のバリアリブ7が、オーバーガレーズ層10の上記表面9Sとは反対側の表面10S上の内で隣接するアドレス電極6の間の領域に相当する領域上に、アドレス電極6の長手方向に沿ってストライプ状に配置されている。更に、オーバーガレーズ層10の表面10S及び隣接するバリアリブ7の互いに対向する側壁面によって構成されるU字型溝35の内表面35S上に蛍光体ないしは蛍光体層8が配置されている。蛍光体層8の表面8Sが放電空間51Sと接する。

【0054】他方、第1基板51Fは、以下の構造を有する。即ち、図6に示すように、前面ガラス基板5の放電空間51S側の表面5S上に、アドレス電極6と立体交差する方向に透明電極1X及び1Y（それぞれが図23の透明電極101に相当する）がストライプ状に形成されている。このとき、PDP 51の全体として合計N本の透明電極1X, 1Yは隣接する2本毎に互いに対を成している。

【0055】そして、透明電極1X, 1Yの上記表面5Sとは反対側の各表面1SX, 1SY上の所定の位置に、バス電極（金属電極）2X, 2Yが形成されている。当該バス電極2X, 2Yの高さ（上記表面5Sに垂直な方向における長さ寸法）は、図23に示す従来のPDP 51におけるバス電極102よりも高く設定される。透明電極1X及びバス電極2Xから成る、第2電極である電極  $X_n$ （ $1 \leq n \leq N$ ）と、透明電極1Y及びバス電極2Yから成る、第1電極である電極  $Y_n$ （ $1 \leq n \leq N$ ）とで構成される電極対  $X_n, Y_n$  で以て、PDP 51におけるn本目（又はn番目）の表示ラインないしは走査線  $L_n$  を構成している。

【0056】そして、前面ガラス基板5の表面5S、透明電極1X, 1Y及びバス電極2X, 2Yを覆うように、誘電体ないしは誘電体層3が形成されている。図6に示すように、誘電体層3の放電空間51S側の表面3Sの表面凹凸形状ないしは起伏は、前面ガラス基板5の表面5S上に形成され、且つ、誘電体3で被覆された、電極対  $X_n, Y_n$  等の構成要素（以下、総称して「下地パターン」と呼ぶ）に依存する。なお、透明電極1X, 1Yはバス電極2X, 2Yよりも非常に薄いことに鑑みれば、誘電体層3の表面3Sの凹凸形状は、主として、バス電極2X, 2Yの高さに依存する。このとき、PDP 51では、バス電極2X, 2Y上の誘電体層の厚さは、その他の領域上の誘電体層よりも薄い。

【0057】このとき、誘電体層3の表面3Sの内で突出した部分を「凸部21X」又は「凸部21Y」と呼ぶ。これに対して、上記凸部21X, 21Yに対して相対的に凹んでいる部分を「凹部22」と呼ぶ。更に、「凸部21X, 21Yの高さ」とは、表面3Sの起伏差、即ち、凸部21X, 21Yと凹部22との間の距離寸法を言うものとする。図6のPDP 51又は第1基板51Fでは、凸部21X, 21Yはバス電極2X, 2Y

の各々の上方ないしは投影部に形成されている。

【0058】ところで、図23の従来のPDP151では、バリアリブ107とカソード膜104との間に隙間を生じさせないようにするために、即ち、誘電体層103の表面ないしはカソード膜104の表面における起伏差を0μmに制御するために、種々のプロセスが適用される。しかしながら、下地パターンの内でバス電極102は導電性確保のために数μm程度の厚さを必要とするので、上記起伏差を完全に0μmにすることは非常に困難である。このため、従来のPDP151では、下地パターンに対応した、約0~2μmの誘電体層103の表面凹凸形状が不可避的に残存してしまう。

【0059】これに対して、実施の形態1に係るPDP51では、誘電体層3の表面3S(ないしは後述の誘電体層3Aの表面3SA)における起伏差を積極的に大きく制御している。

【0060】そして、誘電体層3の表面3S上に、酸化マグネシウム(MgO)等の高2次電子放出材料から成るカソード膜4が形成されている。当該カソード膜4は一般的に真空蒸着法により形成される薄膜であるので、誘電体層3の表面3Sの表面凹凸形状は、そのままカソード膜4の放電空間51Sに接する表面4Sの凹凸形状となる。このとき、誘電体層3及びカソード膜4をそれらの材料面から捉えて「誘電体層3A」と総称するときには、上記凸部21X, 21Y及び凹部22をそれぞれ当該誘電体層3Aの放電空間51側の表面3SA(即ち、カソード膜4の表面4S)内における「凸部21X, 21Y」及び「凹部22」と呼ぶことができる。このため、以下の説明において、「凸部21X, 21Y」及び「凹部22」とは、誘電体層3の表面3Sの凹凸形状のみならず、誘電体層3Aの表面3SA(従って、表面4S)の凹凸形状をも意味するものとする。

【0061】なお、以下の説明において、走査線Ln(従って、電極対Xn, Yn)とアドレス電極Amとが立体交差する位置の放電セルないしは発光セルを「アドレス(n, m)の放電セルないしは発光セル」のように呼ぶ。

【0062】ここで、以下の説明において使用する用語を、第1基板51Fを一例に挙げて、図7を用いて説明する。まず、「内部ギャップG」とは、互いに対成する電極Xnと電極Ynのそれぞれの対峙するエッジ間の領域、即ち、電極Xn, Ynの透明電極1X, 1Yの互いに対峙するエッジ間の領域を言う。また、「透明部TP」とは、電極Xn, Ynにおいて透明電極1X, 1Yの内でバス電極2X, 2Yを有さない部分を言う。更に、「ライン2W」とは、基本的に、前面ガラス基板5の表面5Sの内でその上方にバス電極2X, 2Yを有する領域を言う。そして、「内部スペースSP1」とは、基本的に、上記表面5Sの内で、バス電極2X, 2Yそれぞれの内部ギャップG側のエッジの間の領域を同表面

5S上に投影した領域を言う。また、「外部スペースSP2」とは、基本的に、上記表面5Sの内で、走査線Lnに属する電極Ynのバス電極2Yと、走査線Lnに隣接する走査線Ln+1に属する電極Xn+1のバス電極2Xとの互いに対峙するエッジの間の領域を同表面5S上に投影した領域を言う。このとき、ライン2W、内部スペースSP1及び外部スペースSP2のそれぞれは、上記表面5S上の2次元的な該当領域のみならず、当該領域に垂直な3次元の空間をも含む概念とする。

【0063】次に、実施の形態1に係るPDP51の駆動方法並びにその時の放電の発生機構を説明する。ここでは、PDP51に対して前提技術に係る駆動方法(図1~図3参照)を適用した場合におけるアドレス期間ADでの動作について述べる。なお、上記電極Yn(図2又は図3参照)と同等に扱うこととする(勿論、電極Xnを走査電極として扱うことも可能である)。このとき、電極Xnが前提技術に係る維持電極Xnに該当する。また、N本の電極Xnは共通に接続されて、全ての電極X1~XNには一括に所定の単一電圧が印加されるものとする。

【0064】アドレス期間AD(図2又は図3参照)では、所定のタイミングで走査電極Yn及びアドレス電極Amのそれぞれに電圧(-VY), 電圧Von又はVoffを印加する。ここでは、アドレス電極Amに電圧Vonが印加されて、当該放電セルに書き込み放電を発生させる場合について説明を進める。

【0065】特に、PDP51では、誘電体層3(又は3A)が従来のPDP151の誘電体層103の表面凹凸の起伏差よりも大きい凸部21Yを有している。このため、走査電極Ynの内でバス電極2Y上方の凸部21Yと、アドレス電極Amの内で当該凸部21Yに最も近い対向領域との間に最も強い電界が生じることによって、図6中の対向放電DC11が発生する。

【0066】その後、当該開始された対向放電DC11をトリガーとして、走査電極Yn上方のカソード膜4の表面4S全体へ放電が拡がっていく(図6中の対向放電DC12参照)。このように、PDP51では、バス電極2Yの上方の凸部21Yとアドレス電極Amとの間とにおける対向放電DC11と、当該対向放電DC11が拡大して形成された対向放電DC12とから成り、瞬時に起こる2段階の放電によって、走査電極Ynとアドレス電極Amとの間の書き込み対向放電DC1が構成される。

【0067】引き続いて、図8に示すように、上記書き込み対向放電DC1をトリガーとして、電極対Xn, Yn間での面放電DC2が開始される。一般的に、電極対Xn, Yn間の面放電DC2は、まず、両電極Xn, Yn間の内で電界が最も強く作用する内部ギャップG(図7参照)近傍ないしは凹部22近傍で開始する。そして、次第に内部ギャップGから放射状に拡がっていき、電極

対X<sub>n</sub>, Y<sub>n</sub>間の全体での面放電DC2が生じる。

【0068】特に、PDP51では、アドレス電極6、オーバーグレーズ層10、バリアリブ7、蛍光体層8の形状寸法を従来のPDP151と同等に設定した場合には、凹部22とアドレス電極Amとの距離は、従来のPDP151のカソード膜104の表面とアドレス電極Amとの距離と比較して、凸部21Yの分だけ大きい。このように、PDP51における面放電DC2は、従来のPDP151と比較してアドレス電極Amに印加される電圧V<sub>on</sub>による電界の影響が凸部21Yの高さの分だけ小さい領域である凹部22において、放電を開始する。従って、PDP51によれば、面放電DC2に対する上記電圧V<sub>on</sub>による電界の阻害要因が従来のPDP151よりも緩和された状態を実現することによって、面放電DC2を確実に発生させることができる。

【0069】なお、電極対X<sub>n</sub>, Y<sub>n</sub>間の面放電DC2は、アドレス期間AD中の書込み放電以外にも、図2又は図3の維持期間S中の維持放電においても使用される。このため、上述の面放電DC2に関する説明はかかる維持放電に対しても妥当である。

【0070】従って、PDP51において、凸部21X, 21Yの高さの分だけバリアリブ7の高さ（オーバーグレーズ層10の表面10Sから当該バリアリブの頂部までの寸法）を低くする一方、面放電DC2を発生させるために必要な電圧V<sub>y</sub>（図2又は図3参照）を従来のPDP151と同様の電圧値とするとき（ケース(i)）には、対向書き込み放電DC1を開始させるために必要な印加電圧V<sub>on</sub>の低減化を図ることができる。

【0071】他方、アドレス電極6、オーバーグレーズ層10、バリアリブ7（図17参照）、蛍光体層8の形状寸法を従来のPDP151と同等に設定すると共に、上記電圧V<sub>on</sub>を従来のPDP151と同様の電圧値とするとき（ケース(i)）には、上記電圧V<sub>y</sub>や電圧V<sub>s</sub>（共に図2又は図3参照）の低減化を図ることができる。このとき、PDP51では、凸部21X, 21Yの高さの分だけ従来のPDP151よりも、放電空間51Sがガラス基板5, 9に対して垂直方向に拡大されている。このため、電極対X<sub>n</sub>, Y<sub>n</sub>間の面放電DC2の大きさを従来のPDP151よりも拡大することができる、面放電DC2の放電効率が向上するという効果も得られる。

【0072】このように、PDP51によれば、上述のケース(i)又は(i)のいずれの場合においても、電圧V<sub>y</sub>, V<sub>s</sub>又は電圧V<sub>on</sub>の低減化によって、従来のPDP151よりも省電力化を実現することができる。

【0073】以下に、具体的な例を挙げる。実施の形態1に係るPDP51として、内部ギャップG近傍の誘電体層3の厚みが従来のPDP151の誘電体層103と同等の値に制御され、且つ、表面3S（又は3SA）の

起伏差ないしは凸部21X, 21Yの高さが約3μm（従来のPDP151では約1μm）に制御され、更に、従来のPDP151と同様の形状寸法を有する、アドレス電極6、オーバーグレーズ層10、バリアリブ7（図17参照）、蛍光体層8の各構成要素を備えるPDPを製作した。かかるPDPを用いた測定によれば、従来のPDPと比較して、電圧V<sub>y</sub>, V<sub>s</sub>を平均して約1V低減することができた。また、面放電DC2の放電効率の向上に起因して発光効率について約2%の向上を確認することができた。

【0074】以上のことから、誘電体層3（又は3SA）の表面3S（又は3SA）の起伏差を従来のPDPのそれよりも大きい値である2μm以上とすることによって、電圧V<sub>on</sub>を従来のPDPと同等の電圧値とした場合（上述のケース(i)に該当）の測定において、電圧V<sub>y</sub>, V<sub>s</sub>の低減化及び発光効率の向上が可能であることは容易に推測できる。

【0075】（実施の形態2）実施の形態2では、既述のPDP51における誘電体層3の表面3Sの起伏形状の具体例を説明する。上記起伏形状ないしは凸部21X, 21Y（図6参照）の高さを従来のPDPのそれよりも一層に大きく制御する方法の例として、以下の第1の形態(a)～第6の形態(f)が考えられる。

【0076】第1の形態(a)：バス電極の厚みないしは高さを大きくする（図9参照）、第2の形態(b)：下地パターンを被覆する誘電体の原材料であるガラスペーストの塗布量を減らす（図10参照）、第3の形態(c)：ライン2Wの幅ないしはバス電極の幅又は内部スペースSP1の幅を大きくする（図11参照）、第4の形態(d)：外部スペースSP2内にバス電極と同レベルの厚みのパターンを配置する（図12参照）、第5の形態(e)：バス電極の縦断面形状を裾広がり型にする（図13参照）、第6の形態(f)：下地パターンを被覆する誘電体の原材料であるガラスペーストの流動性を下げる（図14参照）。

【0077】以下に、第1の形態(a)～第6の形態(f)のそれぞれを図9～図14を用いて詳述する。なお、図9～図14の各図は、図6に示すPDP51の第1基板51Fに相当する第1基板の構造（但し、カソード膜4に相当するカソード膜の図示は省略している）を模式的に示す縦断面図である。また、図6の第1基板51Fの構成要素と同等の構成要素には同一の符号を付している。

【0078】（第1の形態(a)）第1の形態(a)に係る第1基板51Faは、既述のPDP51における第1基板51F（図6参照）に該当する。即ち、図9に示すように、第1基板51Faは従来のPDP51のバス電極102（図23参照）よりも高いバス電極2Xa, 2Yaを備える。このように、係る第1基板51Faでは、バス電極2Xa, 2Ya自身の高さを直接的に高く

することによって、下地パターンを被覆する誘電体層3aの表面3Saの起伏差ないしは凸部21X, 21Yの高さが、従来のPDPのそれよりも高く制御される。

【0079】(第2の形態(b))図10に示す第2の形態(b)に係る第1基板51Fbでは、下地パターンを被覆する誘電体3bの原材料であるガラスペーストの塗布量を減らすことによって、凸部21X, 21Yの高さが従来のPDP151のそれよりも高く制御される。なお、バス電極2Xb, 2Ybの高さは、従来のPDP151のバス電極102と同様であっても構わない。

【0080】さて、誘電体層3bの形成工程において、下地パターンを被覆するガラスペーストの塗布量が少ない場合には、バス電極2Xb, 2Yb上ないしはライン2W上から隣接する内部スペースSP1又は外部スペースSP2へ流動するガラスペーストの絶対量自体が、従来のPDP151よりも少ない。このため、ガラスペーストによる下地パターンの凹凸形状を埋め合わせて平坦化する作用が、従来のPDP151のそれよりも小さくなる。従って、バス電極2Xb, 2Ybの高さが従来のバス電極102と同様であっても、誘電体層3bの表面3Sbの起伏差ないしは凸部21X, 21Yの高さを従来のPDPのそれよりも高くすることができる。

【0081】(第3の形態(c))図11に示す第3の形態(c)に係る第1基板51Fcでは、バス電極2Xc, 2Ycの幅ないしはライン2Wの幅又は内部スペースSP1の幅が、従来のPDP151のそれよりも大きく制御される。なお、図11では、上記ライン2Wの幅及び内部スペースSP1の幅の双方を大きくした場合を図示している。そして、第1基板51Fcは、上述の下地パターン上に前面ガラス基板5の表面5Sの全面を覆うように塗布されるガラスペーストの流動性を利用して製造される。

【0082】詳細には、バス電極2Xc, 2Yc上ないしはライン2W内に塗布されたガラスペーストが同バス電極2Xc, 2Ycに隣接する内部スペースSP1又は外部スペースSP2へ向けて流動していく際に、当該ガラスペーストにはバス電極2Xc, 2Ycの(ライン)エッジ部における高低差を小さくしようとする表面張力が働く。このとき、上記のエッジ部のような段差部分からより遠くに離れた平坦領域ほど、上記表面張力ないしは流動が小さくなるので、当該平坦領域のガラスペーストの厚さは塗布直後からの変動が小さい。ここで、上記平坦領域とは、バス電極2Xc, 2Ycの内部スペースSP1側のエッジ部に対しては、内部ギャップG近傍又はバス電極2Xc, 2Ycの上記表面5Sとは反対側の表面2SXc, 2SYcにおける中央部近傍が該当する。他方、バス電極2Xc, 2Ycの外部スペースSP2側のエッジ部に対しては、外部スペースSP2の中央近傍又は上記表面2SXc, 2SYcの中央部近傍が該当する。

【0083】かかる事実に基づいて、図11の第1基板51Fcでは、バス電極2Xc, 2Ycの幅を従来のPDP151のそれよりも拡げることによって、バス電極2Xc, 2Ycの表面2SXc, 2SYc上の誘電体3cの内で同バス電極2Xc, 2Ycの長手方向に沿った中心軸近傍部分の厚みを従来のPDP151のそれよりも厚く制御している。他方、内部スペースの幅を拡げることによって、透明電極1上の誘電体3cの内で内部ギャップG近傍部分を、従来のPDPのそれよりも薄く制御している。

【0084】本願発明者による実験によれば、バス電極2Xc, 2Ycの厚み(数μm)及び誘電体3cを成すガラスペーストの流動性を従来のPDP151のそれらと同様にした場合、段差部であるバス電極2Xc, 2Ycのエッジ部から約100μm以上離れた部分のガラスペーストの厚みは、塗布直後からの変動が小さいという結果を得た。

【0085】そこで、第3の形態(c)に係る第1基板51Fcでは、バス電極2Xc, 2Ycの内部スペースSP1ないしは内部ギャップG側のエッジ部を、透明電極1X, 1Yの内部ギャップG側のエッジ部から100μm以上離している。

【0086】また、バス電極2Xc, 2Ycの幅を200μm以上に設定しすることによって、バス電極2Xc, 2Ycの上記中心軸近傍部分上の厚さを制御している。

【0087】なお、バス電極2Xc, 2Ycの幅又は内部スペースSP1の幅のいずれか一方を、従来のPDP151のそれよりも大きく制御することによっても、一定程度の効果を得ることはできる。

【0088】(第4の形態(d))上述のバス電極の幅が200μm以上に制御された、第3の形態(c)に係る第1基板51FcをPDPに適用すると、同バス電極2Xc, 2Ycの遮光作用によって発光効率が低下する場合がある。そこで、第4の形態(d)に係る第1基板51Fdとして、そのような発光効率の低下を回避する構造を説明する。

【0089】図12に示すように、第1基板51Fdでは、外部スペースSP2における前面ガラス基板5の表面5S上に、バス電極2Xd, 2Ydの表面5Sに対する高さと同等の高さレベルの絶縁物12が、電極Xn, Ynの長手方向に沿って配置されている。即ち、バス電極2Xd, 2Ydの透明電極1X, 1Yとは反対側の表面2SXd, 2SYdと、絶縁物12の上記表面5Sとは反対側の表面12Sとは同一の高さレベルにある。更に、絶縁物12はバス電極2Xd, 2Xdの外部スペースSP2側の各エッジ部にできる限り近接するように、その形状寸法が制御される。なお、絶縁物12以外の構成要素は従来のPDPと同様であっても構わない。

【0090】第1基板51Fdの製造工程において、上

述の絶縁物12を含む下地パターンを有する前面ガラス基板5の表面5Sを覆うようにガラスペーストを塗布すると、外部スペースSP2においてバス電極2Xd, 2Ydと絶縁物12とで以て形成される幅の狭い溝61には、バス電極2Xd, 2Ydの表面2SXd, 2SYd上及び絶縁物12の表面12S上の双方のペーストが、既述の表面張力の作用によって流入する。このとき、塗布直後のペーストの上記狭い溝61に対応した凹み形状は早期に緩和される。このため、バス電極2Xd, 2Ydの溝61を成す段差部分におけるペーストの表面張力の作用は早期に減退すると共に、上記ペーストの溝61への流入も早期に収束する。従って、バス電極2Xd, 2Ydから流出するガラスペーストは、同バス電極2Xd, 2Ydから内部スペースSP1へ向かって流出する分だけである。このため、絶縁体12を有さない構造の第1基板と比較して、より多くのペーストがバス電極2Xd, 2Yd上に残留することになるので、同電極2Xd, 2Yd上の誘電体(層)3dの厚みを大きくすることができる。このように、第4の形態(d)に係る第1基板51Fdによれば、既述のバス電極2Xc, 2Ycの幅に起因して発光効率の低下を招くことなく、第3の形態(c)に係る表面3Sc(図11参照)と同等の表面形状を有する誘電体層3dを得ることができる。

【0091】本願発明者による実験によれば、バス電極2Xc, 2Ycの幅及び厚みをそれぞれ70μm及び7μmに設定し、絶縁物12の厚みを7μmに設定し、上記狭い溝61の幅を100μmに設定し、内部ギャップGにおける誘電体層3dの厚みを30μmに制御した場合、内部ギャップG上の誘電体3dの表面3Sdに対するバス電極2Xd, 2Yd上の誘電体3dの突出量(従って、凸部21X, 21Yの高さ)は約3μmであるとの結果を得た。なお、絶縁物12を有さない構造の第1基板では、上記突出量は約1μmであった。

【0092】図12の誘電体層3dを上層と下層との2層に分けて塗布する場合には、前面ガラス基板5の表面5Sに接する下層用ガラスペーストの塗布に引き続いて、上記絶縁物12を所定の位置に配置し、その後に、下層の露出している表面及び絶縁物12を被覆するように上層用ガラスペーストを塗布しても良い。この場合、上層を成すペーストによってバス電極2Xd, 2Yd上の誘電体層3dの厚みを増大させることができるものである。

【0093】また、絶縁物12の少なくとも前面ガラス基板5側の表面を黒色にすることによって、隣接する走査線Ln, Ln+1間の境界部に配置されるブラックストライプを構成し、そのような絶縁物12を有する第1基板をPDPに適用する場合には、当該ブラックストライプに起因する明室コントラストの向上効果を得ることができるので、極めて有用性が高い。

【0094】(第5の形態(e))図13に示すように、第5の形態(e)に係る第1基板51Feは、その

長手方向に垂直な平面における縦断面形状が裾広がり型であるバス電極2Xe, 2Yeを有する。このため、バス電極2Xe, 2Yeが織り成す凹凸形状に、即ち、下地パターンに急峻な変化をする高低差が含まれない。その結果、誘電体層3eの原材料のガラスペーストが塗布された際に、バス電極2Xe, 2Yeのラインエッジ部と内部及び外部スペースSP1, SP2との各境界におけるガラスペーストの表面張力の作用を弱めることができる。即ち、上記各境界におけるガラスペーストの流動を小さくすることができる。

【0095】バス電極2Xe, 2Yeは、所定の開口パターンを有するスクリーン版を用いて、バス電極2Xe, 2Yeの原材料である導体ペーストを前面ガラス基板5の表面5S上に直接に転写印刷して形成される(スクリーン印刷法)。このとき、スクリーン印刷法によれば、印刷された導電ペーストの縦断面形状は、例えば図9のバス電極2Xa, 2Yaが有する急峻角部を有さず、丸みを帯びた形状となる。つまり、スクリーン印刷法によれば、図13に示すバス電極2Xe, 2Yeの上記縦断面形状が自ずと形成可能である。このため、非常に簡便な形成方法によって、第5の形態(e)に係るバス電極2Xe, 2Yeあるいは第1基板51Feを製造することができる。

【0096】なお、図6～図12に示す、縦断面形状が急峻な角部を有するバス電極は、例えば透明電極1X, 1Yが形成された前面ガラス基板5の表面5Sの全面を覆うように、上記導電ペーストを塗布し、これをエッチングを用いて所定のパターン形成することによって形成可能である。また、リフトオフ法によっても形成可能である。

【0097】(第6の形態(f))図14に示す第1基板51Ffにおける誘電体層3fの形状は、同誘電体層3fの原材料であるガラスペーストの流動性を従来のそれよりも低下させることによって形成可能である。即ち、ガラスペーストの流動性を低下させることによって同ペースト自身の形状保持力が高められるため、前面ガラス基板5上に塗布されたガラスペーストは、下地パターンの高低差を十分に緩和することなく、ほぼ塗布直後の形状を維持する。従って、前面ガラス基板5の表面5S上の下地パターンに対応した表面形状を有する誘電体層3fを形成することができる。

【0098】特に、凸部21X, 21Yの上述の機能に鑑みれば、実施の形態1及び2に係る各PDPは、少なくとも走査電極として所定の駆動電圧が供給される電極Ynの上方に凸部21Yを有していれば、既述の効果を発揮することができる。このとき、他方の電極Xn上の誘電体層3は、例えばバス電極2Xの高さの制御によって、凸部21Xが凸部21Yよりも低くても良いし、あるいは、凸部21Xを有さない形態(例えばバス電極の高さ0の場合、即ち、電極Xnが透明電極1Xのみから

成る場合に実現される)であっても良い。

【0099】さて、バス電極の上方の誘電体層の表面に凸部を有する構造及びその形成方法が、特開平8-250029号公報や特開平9-35644号公報に開示されている。これらの先行技術に係る上記凸部は、バス電極を有する電極対間における面放電が隣接する放電セルへ広がることを防止するためのものであり、当該凸部とアドレス電極との間ににおける対向放電を積極的に起こす機能を有さない。従って、当該凸部の高さないしはバス電極上の誘電体層の厚みは、実施の形態2の第1～第6の形態(a)～(f)として説明した実施の形態1に係る誘電体層3(又は3A)の表面3S(又は3AS)の凸部21X, 21Yよりも大きいと考えられる。

【0100】更に、これらの公報に開示される先行技術では、上記凸部はスクリーン印刷法を2回用いて形成される。詳細には、まず、バス電極及び当該バス電極が形成されている基板の全表面を覆う平坦な誘電体層を形成し、その後に、当該平坦な誘電体層の表面上に凸部となる部分にのみ選択的にガラスペーストをパターン印刷する。これに対して、実施の形態1及び2に係る凸部21X, 21Yは、その形状寸法が制御されたバス電極2X, 2Y上にガラスペーストを塗布し、同ペーストの流動性を利用することによって形成される。従って、凸部21X, 21Yを形成するための別途の印刷工程を全く必要としないという点で上記先行技術とは異なる。

【0101】加えて、上記先行技術に係るPDPが上述面放電の拡散の防止を確実に発揮するためには、各放電セルの放電特性をPDPの全面に亘って均一にする必要がある。このため、上記凸部のパターンの形成に際してバス電極の配置位置に対する厳しい位置精度が要求されるので、上記先行技術に係る製造方法は、製造プロセス上のマージンが少ないと考えられる。これに対して、実施の形態1及び2に係る凸部21X, 21Yは、バス電極2X, 2Yを覆うようにガラスペーストを塗布するのみで形成可能である点において、先行技術に対して優位性を有する。また、バス電極2X, 2Y上の誘電体層の厚みを内部及び外部スペースSP1, SP2上のそれよりも小さく形成可能であるので、上記積極的な対向放電を確実に起こすことができる。

【0102】(実施の形態3)さて、内部ギャップG近傍の誘電体層3の厚みを図23の従来のPDP151のそれと同等に制御しつつ、誘電体層3(又は3A)の表面3S(又は3SA)の起伏差ないしは凸部21X, 21Yの高さを約10μm, 20μm又は30μmの3値に制御された、実施の形態1に係る各PDPにおいて、電極Xn, Yn間での面放電DC2に対する発光効率を測定した。なお、これらのPDPにおいて、第2基板51Rの各構成要素の形状寸法は図23の従来のPDP151と同等に設定した。

【0103】上記の発光効率を測定したところ、凸部2

1X, 21Yの高さが上記10μm, 20μm又は30μmである各PDPにおける上記発光効率は、それぞれ従来のPDP151における同面放電時の発光効率よりも約8%、15%、27%の向上を達成することができた。従来のPDPにおける上記起伏差が約1μmであることをも考慮すると、下地パターンを覆う誘電体層の表面の起伏差が20μm以下の範囲では上記面放電に対する発光効率はほぼ線形的に増加していることが分かる。これに対して、上記起伏差が20μmから30μmの範囲における発光効率の向上幅なしは向上的割合は、上述の線形特性よりも相対的に大きくなっている。この理由は、以下のように考えられる。

【0104】凸部21X, 21Yの高さが20μmを越える場合、例えば同高さが40μmであり、誘電体層3gの凸部21X, 21Yの高さが30μmである場合のPDP51gの構造を図15に示す。なお、図15では、バス電極2Xg, 2Ygをスクリーン印刷法により形成した場合の構造を図示している。図15に示すように、PDP51gは、バス電極2Xg, 2Yg等の下地パターンを被覆する誘電体層3gの表面であって前面ガラス基板5の表面5Sに接しない側の表面3Sgの高さレベルよりも、バス電極2Xg, 2Ygの頂上部が突出した構造を有する。このため、電極Xn, Yn間に所定の電圧を印加すると、既述の(又は従来の)面放電DC2に加えて、バス電極2Xg, 2Ygの上記各突出部分間において水平方向、即ち、前面ガラス基板5の表面5Sに平行な方向に、放電効率の高い遠距離対向放電DC3が生じる。なお、図15中では、上記放電DC2及びDC3を模式的に図示している。従って、上記遠距離対向放電DC3の増加分だけ、凸部21X, 21Yの高さが20μm以下の場合と比較して、発光効率が更に向上したと考えられる。

【0105】以上のように、バス電極の頂上部が、同バス電極以外の部分を被覆する誘電体層の放電空間側の表面の高さレベルよりも突出しているPDPによれば、同頂上部が突出していないPDPと比較して、より発光効率の向上を図ることができる。

【0106】さて、図15のPDP51gでは、バス電極2Xg, 2Ygの高さを40μmに設定することによって、誘電体層3gの凸部21X, 21Yの高さを30μmに制御している。このように高いないしは厚いバス電極は、バリアリブの種々の形成方法を適用して形成可能である。以下に、厚いバス電極2Xg, 2Ygの種々の形成方法①～⑥を簡単に説明する。

【0107】形成方法①：バス電極2Xg, 2Ygのパターンに対応する所定の開口パターンを有するスクリーン版を用いて、同バス電極2Xg, 2Ygの原材料である導体ペーストを印刷し、これを乾燥する。かかる印刷・乾燥工程を繰り返して実行することによって、印刷・乾燥された上記導電ペーストを所定の厚さまで積層す

る。

【0108】形成方法②：透明電極1X, 1Yが形成された前面ガラス基板5の表面5S上に全面に亘って、バス電極2Xg, 2Ygの原材料である導体ペーストを所定の厚さに塗布する。その後、所定のレジストパターンを用いたサンドblast法によって、上記導電ペーストから成る導電層をバス電極2Xg, 2Ygのパターンに形成する。

【0109】形成方法③：まず、透明電極1X, 1Yが形成された前面ガラス基板5の表面5S上に所定厚みのドライフィルムレジストパターンを形成する。そして、上記パターンの溝部（バス電極2Xg, 2Ygのパターンに対応する）内にバス電極2Xg, 2Ygの原料である導体ペーストで埋め込む。その後に、上記ドライフィルムレジストパターンを除去する。

【0110】形成方法④：まず、感光性を付与された、バス電極2Xg, 2Ygの原材料である導体ペーストを、透明電極1X, 1Yが形成された前面ガラス基板5の表面5S上に全面に亘って印刷・乾燥する。その後、当該導電ペーストをパターン露光して、現像する。かかる印刷工程から現像工程に至る一連の工程を繰り返して実行することによって、上記導電ペーストを所定の厚さまで積層する。

【0111】形成方法⑤：所定形状の容器に、バス電極2Xg, 2Ygの原材料である導体ペーストを刷り込んで充填したものを、透明電極1が形成された前面ガラス基板5の表面5S上にプレス転写してパターン形成する。

【0112】上述の形成方法①によれば、即ち、スクリーン印刷法によれば、既述のように、バス電極の頂部は図15のバス電極2Xg, 2Ygのように丸く形成される。このため、形成方法②は、バス電極を被覆する誘電体（図15の誘電体3g参照）の原材料であるガラスペーストを同バス電極の輪郭ないしは表面に沿って塗布しやすいという利点を有する。

【0113】これに対して、形成方法③～⑤では、バス電極の頂部に角形状が形成される。このため、上記角形状部では、ガラスペーストに作用する表面張力のバランスが崩れてしまい、形成された誘電体層の厚みが薄くなる場合がある。このとき、電極対Xn, Ynに所定の電圧を印加した際に上記誘電体層の所定の絶縁性が発揮されない場合がある。従って、かかる観点においては、上述の形成方法①は形成方法③～⑤に対して優位性を有する。

【0114】なお、例えばバス電極の高さないしは厚みが30μmの場合であっても、誘電体層（図15の誘電体層3g参照）の原材料を成すガラスペーストの流動性等の製造条件を適切に制御することによって、誘電体層の表面凹凸の起伏差をほぼ30μm程度に形成可能である。

【0115】（実施の形態4）既述のように面放電DC2は、内部ギャップG（図7参照）近傍において開始される。このとき、できる限り低い電圧で以て電極対Xn, Yn間に面放電DC2の放電開始に必要な電界を放電空間内に印加できれば、PDPの消費電力の低減を図ることができる。

【0116】ここで、図23に示す従来のPDP151では、電極Xn, Ynの内で透明電極1X, 1Yのみが内部ギャップG（図7参照）近傍に存在している。従って、電極対Xn, Yn間に同一の電圧を供給した場合であっても、電極Xn, Yn上の誘電体層103であって内部ギャップG近傍の部分の厚みを小さいほど、より大きな電界を内部ギャップGに印加可能である。

【0117】電極Xn, Yn上の誘電体層の厚みを小さくするためには、誘電体層の原材料を成すガラスペーストの総塗布量を減らすという方法が考えられる。しかしながら、元来、バス電極102近傍の誘電体103にはピンホールが発生しやすい。更に、上述のようにガラスペーストの総塗布量を減らすと、上記バス電極102近傍の誘電体103の実効的な厚みも減るため、上記ピンホールと相まって当該誘電体層の絶縁性の不具合の発生確率が高くなってしまう。

【0118】そこで、実施の形態4では、ピンホールを発生させることなく、電極Xn, Yn上の誘電体であって内部ギャップG近傍部分の厚みを小さくすることによって、電極対Xn, Yn間ににおける面放電DC2の放電開始電圧が低減化されたPDPを提供する。

【0119】図16は、実施の形態4に係るPDP51hの構造を模式的に示す縦断面図である。なお、図16では、図6のPDP51と同等の構成要素には同一の符号を付している。

【0120】図16に示すように、本PDP51hにおいて、バス電極2Xh, 2Yhは、透明電極1X, 1Yの各表面1SX, 1SY上に、内部ギャップGに近接して配置されている。詳細には、図16に示すように、その内部ギャップG側のエッジ部が、透明電極1X, 1Yの内部ギャップG側のエッジ部に一致するようにバス電極2Xh, 2Yhが配置されている。また、実施の形態4に係るPDP51hでは、バス電極2Xh, 2Yhの各厚みは従来のPDPと同様に数μmに設定されている。なお、PDP51hでは、バス電極の配置位置が例えば図6の第1基板51Fとは異なるため、電極Xn, Ynの各透明部TP（図7参照）は外部スペースSP2内に存在する。

【0121】PDP51hではバス電極2Xh, 2Yhの配置位置が従来のPDPとは異なるため、電極対Xn, Yn上の誘電体層3hであって内部ギャップG近傍の部分の厚みは、従来のPDP151のそれよりも、バス電極2Xh, 2Yhの高さ分だけ薄い。このため、PDP51hによれば、電極対Xn, Yn間に、例えば従

来のPDP151と同様の電圧を印加して面放電DC2を発生させる場合には、内部ギャップGの上方の放電空間に従来のPDPよりも強い電界を印加することができる。換言すれば、面放電DC2を開始させるために電極対Xn, Yn間に印加する電圧を、従来のPDP151よりも低減することができる。

【0122】PDP51hの誘電体層3hは以下のように形成される。即ち、電極Xn, Yn及び前面ガラス基板5の表面5Sを覆うように誘電体3hの原材料であるガラスペーストを塗布する。かかるバス電極2Xh, 2Yh上に塗布されたガラスペーストは、同バス電極2Xh, 2Yhに隣接する内部スペースSP1側及び外部スペースSP2側へ向かって流動していく。このとき、ガラスペーストの流動性や総塗布量を従来のPDP151と同等に設定した場合、上述の電極対Xn, Yn上の誘電体層3hであって内部ギャップG近傍の部分の厚みを、従来のPDP151のそれよりも、バス電極2Xh, 2Yhの高さ分だけ薄くすることができる。

【0123】このとき、PDP51hでは、一般的に100μm以下の幅で以て構成される内部ギャップGが内部スペースSP1を形成しているので、実施の形態2中の第4の形態(d)で既述したように、バス電極2Xh, 2Yh上の誘電体層3hの厚みを少なくとも従来のPDP151の誘電体層103の厚みと同等又はそれ以上に制御可能である。つまり、上述のバス電極2Xh, 2Yh上の誘電体層3hの厚みが従来のPDP151の誘電体層103の厚みよりも薄く形成されることはないので、既述のピンホールの増大を有効に抑制することができる。

【0124】従って、実施の形態4に係るPDP51hによれば、誘電体層3hの絶縁性の不具合を回避し、且つ、面放電DC2の発生のために電極対Xn, Yn間に印加する電圧を、従来のPDP151よりも低減することができる。しかも、かかる効果は、従来のPDP151に対して、バス電極の配置位置を変更するのみという簡単な方法によって得られる。

【0125】(実施の形態5)さて、実施の形態1及び2に係る各PDPでは、(少なくとも)走査電極Ynの上方ないしは投影部における凸部21Y(又21X)の高さが高いほど、上記書込み対向放電DC1又は面放電DC2の放電開始電圧をより低減することができる。また、面放電DC2の発光効率の改善が可能である。

【0126】このとき、凸部21Y(又21X)の存在によって、誘電体層3又は3Aとバリアリブ7との間に隙間(後述の図17中の隙間23を参照)が形成されている。かかる場合、アドレス期間(図1~図3参照)において電圧Voffをアドレス電極Amに印加することによって書込み放電を発生させないもとする意図に反して、維持期間において当該アドレス電極Amに属する発光セルが発光する、即ち、誤放電が生じる場合がある。

当該誤放電は、画像信号としてON状態にある放電セルに隣接し、且つ、画像信号としてOFF状態にある放電セルにおいて頻出する。

【0127】かかる維持期間での誤放電を詳細に調査したところ、誤放電を起こす放電セルの殆どが、維持期間の前のアドレス期間において既に誤って書き込み放電を起こしていることが判った。例えば図2又は図3のタイミングチャートによる駆動方法において、アドレス期間中にn番目の走査線を選択するために走査電極Ynに電圧(-V<sub>y</sub>)が印加された場合であって、互いに隣接するアドレス電極Am, Am+1のそれぞれに異なる値の電圧が印加される場合に誤った書き込み放電が生じることが判った。なお、以下の説明において、上述の誤って発生した書き込み放電を「書き込み誤放電」とも呼ぶ。

【0128】かかる書き込み誤放電について、図17を用いて説明する。図17は、図6のPDP51の凹部22近傍を紙面に平行な方向(図23中の矢印A1の方向に相当)から見た場合であって、透明電極1X又は1Y(総称して「透明電極1」とも呼ぶ)を含む平面における縦断面図である。図17に示すように、実施の形態1に係るPDP51は、凸部21Y(及び21X)に起因して生じた、誘電体層3又は3Aとバリアリブ7の頂部との間の隙間23を有する。なお、かかる隙間23は、実施の形態2に係る各第1基板を備えるPDPにおいても同様に生じうる。

【0129】図17では、走査電極Ynに電圧(-V<sub>y</sub>)が印加される(このとき、図17中の透明電極を透明電極1Yと捉える)と共に、アドレス電極AmにON状態の入力画像信号に基づく電圧Vonが印加され、これに隣接するアドレス電極Am+1にOFF状態の入力画像信号に基づく電圧Voffが印加された場合において、前面ガラス基板5と背面ガラス基板9との間の空間に発生する電界分布の概略を、波線で示す等電位線で以て図示している。特に、バリアリブ7や蛍光体8(の各材料)は、隙間23を満たす放電ガスの数倍~10数倍もの高い誘電率を有するので、図17に示すように、誘電率がより低い領域である隙間23に電界が集中する。

【0130】かかる場合、電圧Voffが印加されているアドレス電極Am+1に属する放電セル(図17ではアドレス(n, m+1)の放電セル)に隣接する隙間23に上述の強い電界が発生すると、当該放電セルに属する走査電極Ynの上方の上記隙間23に接する部分近傍に放電が誘発される。かかる走査電極Yn上方での放電をトリガーとして、当該走査電極Ynと電極Xnとの間で誤った面放電、即ち、書き込み誤放電が発生するものと考えられる。

【0131】そこで、実施の形態5では、実施の形態1及び2のそれぞれに係る各PDPのように隙間23を有するPDPにおける書き込み誤放電を抑制しうるPDPを提供する。

【0132】図18は、実施の形態5に係るPDP52の構造を模式的に示す縦断面図である。なお、図18のPDP52の基本的な構造は図6のPDP51と同様であるため、本PDP52の特徴部分を中心に説明をする。

【0133】図18に示すように、PDP52は、図6の第1基板51Fと、図6の第2基板51Rに対して電界遮蔽電極24が更に配置された第2基板52Rとを備える。詳細には、電界遮蔽電極24は、背面ガラス基板9の表面ないしは正面9S上であって互いに隣接するアドレス電極6の間の各領域上に、アドレス電極6又はバリアリブ7の長手方向に沿ってストライプ状に配置されている。また、電界遮蔽電極24は、第2基板52Rを放電空間51Sに接する側の表面から見た場合に、少なくともその一部がバリアリブ7に隠れて見えない位置に、即ち、バリアリブ7の上記表面9Sへの投影部近傍に配置されている。

【0134】アドレス電極6(図6参照)を例えればスクリーン印刷法によって形成する場合、電界遮蔽電極24は、図6のアドレス電極6の印刷形成時に使用するスクリーン版のパターンを、アドレス電極6及び電界遮蔽電極24のパターンを有するスクリーン版に変更するのみという簡便な方法によって、形成可能である。このとき、PDP51の製造工程と比較して全体の製造工程数を増加させることなく、アドレス電極6と電界遮蔽電極24とを一括して印刷形成できる。勿論、リフトオフ法やエッチング法等の他の形成方法によってアドレス電極6及び電界遮蔽電極24を形成する場合にも、上述と同様の効果を得ることができる。

【0135】PDP52によれば、電界遮蔽電極24に印加する電圧によって前面ガラス基板5と背面ガラス基板9との間の空間の電界を制御可能である。従って、電界遮蔽電極24に適切な電圧を印加することによって、アドレス期間において隙間23に上述の強い電界が発生することを確実に抑制することができる。

【0136】図18には、書き込み動作として走査電極Yn、アドレス電極Am及びアドレス電極Am+1のそれぞれに電圧(-V<sub>y</sub>)、電圧V<sub>on</sub>及び電圧V<sub>off</sub>を印加すると共に、電界遮蔽電極24に走査電極Ynと同様の電圧(-V<sub>y</sub>)を印加した場合における、前面ガラス基板5と背面ガラス基板9との間の空間との間の等電位線分布の概略を波線で図示している。図18に示すように、PDP52によれば、電界遮蔽電極24に上記所定の電圧V<sub>b</sub>が印加されて、隙間23に図17のような強い電界が生じないように制御されるときには、書き込み誤放電を抑制することができる。

【0137】ここで、電界遮蔽電極24に印加されて書き込み誤放電を抑制しうる上記電圧V<sub>b</sub>について、図17及び図18を参照しつつ説明する。

【0138】まず、隙間23が十分に小さい場合につい

て考える。このとき、図17に示す電界遮蔽電極24を有さない構造では、アドレス電極Am、Am+1にそれぞれ電圧V<sub>on</sub>、V<sub>off</sub>が印加されている場合、両アドレス電極Am、Am+1間に結ぶ直線の中点を含み、且つ、当該直線に垂直な平面における電位は、約電位{(V<sub>on</sub>+V<sub>off</sub>)/2}にあると考えられる。かかる点に鑑みれば、図18の電界遮蔽電極24を有するPDP52において、電界遮蔽電極24に印加する電圧V<sub>b</sub>を、電圧{(V<sub>on</sub>+V<sub>off</sub>)/2}に対して電圧V<sub>off</sub>寄りの値に設定すれば、上述の隙間23に発生する強い電界の低減・抑制することができる。このとき、電圧V<sub>b</sub>を電圧V<sub>off</sub>に設定すれば、電圧V<sub>b</sub>の供給電源を電圧V<sub>off</sub>の供給電源として利用できるため、PDP52を備えるプラズマディスプレイ装置の回路構成を簡略化できるという利点がある。

【0139】他方、電界遮蔽電極24に印加される電圧V<sub>b</sub>による電界は、電圧V<sub>on</sub>が印加されているアドレス電極Amが属する放電セル内の電界分布にも影響を与えるので、電圧V<sub>b</sub>と電圧V<sub>on</sub>との電圧差が大きくなりすぎると、アドレス電極Amと走査電極Ynとの書き込み対向放電を正常に発生させるために必要な電界強度を得られなくなる場合が生じうる。かかる場合には、書き込み放電が正常に行われないことによって、維持期間において点灯すべき発光セルが点灯しない(不点灯)という問題が惹起される。

【0140】以上の点を考慮すれば、隙間23が十分に小さい場合には、電界遮蔽電極24に印加する電圧V<sub>b</sub>を、電圧V<sub>off</sub>を中心にして両側に電圧V<sub>on</sub>と電圧V<sub>off</sub>との差の半分の電圧範囲を有する範囲内の値、即ち、電圧{V<sub>off</sub>±(V<sub>on</sub>-V<sub>off</sub>)/2}の範囲内の値に制御することが望ましい。

【0141】隙間23が広い程、強い電界が存在する空間も広くなるので、書き込み誤放電及び正常な書き込み放電のいずれもが非常に発生しやすくなる。従って、書き込み誤放電を確実に抑制するためには、電圧V<sub>b</sub>を、上述の隙間23が狭い場合における電圧V<sub>b</sub>の電圧範囲よりも更に低く制御する必要性が生じる。例えば既述の図18に示すように、電圧V<sub>b</sub>を走査電極Ynに印加される電圧(-V<sub>y</sub>)に制御する場合もあり得る。以上のように、隙間23の広さに応じて、適切に電圧V<sub>b</sub>が制御される。

【0142】なお、隙間23として、例えばバリアリブ7の高さの不均一性等のその他の原因によっても生じたものであっても、上述の制御方法によって同様の効果を得ることができる。

【0143】また、上述の書き込み誤放電は、上記隙間23を有さないPDPにおいても生じうる。例えば、アドレス電極6のパターン形成の精度上の都合により、アドレス電極6の配置位置が図17の場合よりも紙面に向かって右側にずれた位置に配置された構造のPDPにおいて

ても書き込み誤放電が生じうる。かかる場合には、アドレス電極A<sub>m</sub>に印加された電圧V<sub>o n</sub>による電界が、電圧V<sub>o f f</sub>が印加されたアドレス電極A<sub>m+1</sub>が属する放電セル内の電界形成により大きな影響を与える。即ち、図17のPDP51と比較して、アドレス電極A<sub>m</sub>がアドレス電極A<sub>m+1</sub>が属する放電セルの側に近づくため、その配置ずれの分だけ、上記電圧V<sub>o n</sub>による電界のより多くが、バリアリブ7を越えてアドレス電極A<sub>m+1</sub>が属する発光セルに侵入する。このため、アドレス電極A<sub>m+1</sub>が属する発光セルにおける誤放電の発生確率が、図17のPDPよりも増大する。

【0144】このような配置ずれを有する場合あっても、電界遮蔽電極24に適切な電圧を印加することによって、アドレス電極A<sub>m+1</sub>が属する発光セル内の電界を制御し、これによって、書き込み誤放電の発生を抑制することが可能である。

【0145】(実施の形態6)さて、上述のPDP52をプラズマディスプレイ装置に適用する場合、アドレス期間に限らず維持期間及び消去期間においても、即ち、常に電界遮蔽電極24に所定の電圧V<sub>b</sub>を供給し続ける駆動方法を採用すれば、電界遮蔽電極24の駆動回路の構成は簡単なもので済むという利点を享受することができる。

【0146】しかしながら、そのような駆動方法によれば、正規の書き込み放電が実行された放電セルでは、維持期間中に電界遮蔽電極24に電圧V<sub>b</sub>を供給しない駆動方法と比べて、維持期間における維持放電(面放電DC2)の効率が低下してしまう場合がある。これは、以下の理由によると考えられる。

【0147】図2及び図3に示す駆動方法において、アドレス期間では、カソード膜4の表面4Sないしは誘電体層3Aの表面3SA上に壁電荷を形成する。このとき、オーバーグレーディング層10や蛍光体層8も僅かに負に帯電する。

【0148】このとき、維持期間では、図2及び図3の(a)に示すように、全てのアドレス電極A<sub>m</sub>に正値の電圧を供給することによって、蛍光体層8のオーバーグレーディング層10に接する部分、即ち、蛍光体層8のオーバーグレーディング層10の表面10S上の部分近傍の空間の電位を、内部ギャップGの中心軸上方の空間の平均的な電位(おおよそ、電圧(V<sub>s</sub>/2)+正負の壁電荷が及ぼす電位)と同レベルに制御している。かかるアドレス電極A<sub>m</sub>への電圧供給によって、電極X<sub>n</sub>、Y<sub>n</sub>のいずれに電圧V<sub>s</sub>が印加された場合においても内部ギャップGの中心軸に対して空間対称性を有する、電界強度分布を当該内部ギャップG近傍の放電空間に生じさせることができる。その結果、図2及び図3の駆動方法によれば、電極対X<sub>n</sub>、Y<sub>n</sub>間に印加する放電開始のための電圧を低減化して、維持放電の効率の向上を図っている。

【0149】次に、図2及び図3の駆動方法に対して、

電界遮蔽電極24に常に電圧V<sub>b</sub>を供給し続ける駆動方法を適用した場合について言及する。かかる場合、上記電圧V<sub>b</sub>がアドレス期間においてアドレス電極A<sub>m</sub>に印加される電圧V<sub>o n</sub>のように低い電圧である場合には、維持期間において、正規の書き込み放電が実行された放電セル内のバリアリブ7に近い部分の電位が、上記電圧V<sub>b</sub>による電界によって負極側に変動してしまう。このため、上述の電界強度分布の空間対称性が損なわれてしまい、その結果、電極対X<sub>n</sub>、Y<sub>n</sub>間に印加する放電開始電圧の上昇並びに同放電の効率の低下が起るものと考えられる。

【0150】そこで、実施の形態6では、電圧V<sub>b</sub>の供給によって惹起される、電極対X<sub>n</sub>、Y<sub>n</sub>間に放電開始電圧の上昇並びに同放電の効率の低下という問題点を、上述の考察に基づいて解決する。

【0151】まず、第1の解決方法として、実施の形態6に係るPDP又は同PDPの駆動方法では、維持期間中に電界遮蔽電極24に印加する電圧V<sub>b</sub>を、書き込み放電期間において供給する電圧値に対して正極側に制御して、上述の電界強度分布の空間対称性を確保する。このとき、維持期間中の電圧V<sub>b</sub>を同期間中にアドレス電極A<sub>m</sub>に印加する電圧と同じ値にすれば、当該駆動方法のための回路を簡単な構成とすることができます。かかる電圧制御の場合、維持放電の効率も最適に近い状況が得られる。

【0152】また、第2の解決方法として、維持期間中に電界遮蔽電極24に外部電圧を供給しない状態、即ち、浮遊状態とする駆動方法を採用しても、上述の第1の解決方法と同様の効果を得ることができる。

【0153】また、消去期間においても、電界遮蔽電極24に印加する電圧V<sub>b</sub>を同消去期間においてアドレス電極A<sub>m</sub>に印加する電圧と同様の値に制御することによって、電極対X<sub>n</sub>、Y<sub>n</sub>間にプライミング放電や消去放電を起り易くすることができる。このとき、回路の構成が簡単で済むという利点もある。

【0154】(実施の形態7)さて、図18に示す実施の形態5に係るPDP52では、電界遮蔽電極24及びアドレス電極6が共に背面ガラス基板9の表面9S上に配置されている。しかし、放電セル内の電界を制御して上述の書き込み誤放電の抑制効果を得るためにには、電界遮蔽電極24とアドレス電極6とは必ずしも同一平面上に配置される必要性はない。かかる点に鑑み、実施の形態7に係るPDP52aは以下の構成を有する。

【0155】図19に示すように、PDP52aは、図6の第1基板51Fと、電界遮蔽電極24aを有する第2基板52Rとを備える。特に、PDP52aの第2基板52Raでは、背面ガラス基板9の表面9S上の所定の位置に電界遮蔽電極24aがストライプ状に配置されており、当該電界遮蔽電極24aと上記表面9Sとを覆うように、絶縁層25が配置されている。

【0156】更に、絶縁層25の上記表面9Sとは反対側の表面25S上であって隣接する電界遮蔽電極24a間に相当する領域上に、電界遮蔽電極24aの長手方向に沿ってストライプ状のアドレス電極6が配置されている。そして、アドレス電極6と上記表面25Sとを覆うように、既述のオーバーグレーズ層10が配置されている。そして、第2基板52Raは、それぞれが所定の位置に配置された、既述のバリアリブ7及び蛍光体層8を備える。このとき、図18の電界遮蔽電極24aと同様に、電界遮蔽電極24aは、第2基板52Raを放電空間51Sに接する側の表面から見た場合に、少なくともその一部がバリアリブ7に隠れて見えない位置に、即ち、バリアリブ7の上記表面9Sへの投影部近傍に配置されている。

【0157】換言すれば、第2基板52Raは、図17の第2基板52Rにおける背面ガラス基板9とアドレス電極6及びオーバーグレーズ層10から成る層との間に、上述の電界遮蔽電極24a及び絶縁層25が挿入配置された構造を有している。

【0158】上述の第2基板52Raによれば、電界遮蔽電極24aとアドレス電極6とが絶縁層25を挟んで別々の表面9S上と表面25S上とに配置されている。このため、両電極24a, 6の形成パターンの密度は、図17のアドレス電極6の形成パターンと同レベルである。従って、図18の電界遮蔽電極24a及びアドレス電極6から成る、より高密度なパターンの形成時に生じうる歩留まりの低下を有効に回避することができる。

【0159】更に、第2基板52Raの構造によれば、図18の第2基板52と比較して、両電極24a, 6の各々の外部電圧の供給箇所である配線端子の形成が容易であるという利点がある。かかる点を図20を用いて以下に詳述する。

【0160】図20は、PDP52aを背面ガラス基板9の表面9S(図19参照)側、即ち、バリアリブ7(図19参照)が形成されている側から見た場合における、PDP52aの端部の上面図である。なお、図20は、アドレス電極6と電界遮蔽電極24aとの配置位置の関係を説明するための図であり、以下の説明に必要な構成要素のみを図示している。図20において、電界遮蔽電極24aを太い波線で以て図示し、アドレス電極6を実線で以て図示している。また、図20中の領域AR1はPDP52aにおける表示エリアである。

【0161】図20に示すように、アドレス電極6は、PDP52aの端部において、表示エリアAR1から引き出し部領域AR2を介して端子部領域AR3へ至る。なお、アドレス電極6は、表示エリアAR1及び引き出し部領域AR2内では絶縁層25の表面25S(図19参照)上に形成され、端子部領域AR3内では背面ガラス基板9の表面9S上に、上記引き出し部領域AR2から引き続いて延長形成されている。他方、電界遮蔽電

極24aは、表示エリアAR1から端子部領域AR3に至る全領域において背面ガラス基板9の表面9S上に形成されている。しかも、絶縁層25が形成されている領域内では、電界遮蔽電極24aとアドレス電極6とは、当該絶縁層25によって互いに電気的に分離されている。

【0162】このとき、PDP52aでは基本的には全ての電界遮蔽電極24aに单一の電圧Vbが供給されることに鑑みれば、絶縁層25を有する引き出し部領域AR2内において全ての電界遮蔽電極24aを共通に接続して、当該共通の配線のみを端子部領域AR3へ引き出せば、当該引き出された配線で以て電界遮蔽電極24aの单一の配線端子を形成可能である。従って、第2基板52Raによれば、図18の第2基板52Rと比較して、電界遮蔽電極24aの配線端子を狭いスペースにも形成できるという利点がある。例えば、背面ガラス基板9の表面9S(図19参照)上のエッジ部付近であってアドレス電極6等及びその配線端子が形成されていない領域AR4(図20参照)のように、背面ガラス基板9の表面9S(図19参照)のいわば余白部分を利用することができる。

【0163】また、図20に示すように、アドレス電極6を数10～数100本単位毎の(複数の)ブロックBLに分け、引出し部領域AR2及び端子部領域AR3において各ブロックBL毎にアドレス電極6を各ブロックBLの中央に寄せた形態とする場合には、上記領域AR2, AR3において隣接するブロックBLの境界近傍に形成された隙間領域に電界遮蔽電極24aの配線端子を形成することができる。このとき、電界遮蔽電極24aを上記ブロックBLに対応するブロックに分けて、当該各ブロック毎に共通に接続する場合には、上記各隙間領域を、各部ロックBL毎の電界遮蔽電極24aの配線端子の形成領域として利用できる。

【0164】また、電界遮蔽電極24aに印加する電圧Vbの設定値によっては、アドレス期間において、電界遮蔽電極24aとアドレス電極6との間の電位差が、隣接するアドレス電極6間に生じうる最大電位差(Von-Voff)を越える場合が生じる。このため、配線端子を成す材料のマイグレーションの防止という観点から、電界遮蔽電極24aとアドレス電極6との各配線端子間のスペースを、隣接するアドレス電極6間の間隔よりも大きくすることが望ましい。第2基板52Raによれば、電界遮蔽電極24aの配線端子を上記領域AR4又は上記各ブロックBL間の隙間領域に形成することによって対応可能である。

【0165】このように、第2基板52Raは、同一平面内において電界遮蔽電極24a及びアドレス電極6の双方の配線端子を高密度に形成する必要性が無いという利点を有する。このため、第2基板52Raを有するPDPをプラズマディスプレイ装置に適用する場合には、

高密度の実装を回避することができる。

【0166】これに対して、図18に示すPDP52の第2基板52Rにおいて、例えばアドレス電極6を背面ガラス基板9の一方の端部側へ引き出し、上記一方の端部に対向する、他方の端部側へ電界遮蔽電極24aを引き出して、上記各端部において電極6、24aのそれぞれの配線端子を形成する場合には、上述の配線端子の高密度形成及び高密度実装を回避することができる。

【0167】しかし、アドレス期間を短縮するために、アドレス電極6を2つのグループに分けて表示エリアA R 1ないしは走査領域を2分割して、両走査領域に対して並行に書き込み動作を行なう駆動方法を実現するPDPとしては、図18のPDP52に比較して、本実施の形態7に係るPDP52aが優位性を有する。なぜならば、かかる駆動方法を採用するPDPは、アドレス電極6を上記各グループ毎に背面ガラス基板9の対向する各端部側へ引き出す構造を有する場合が多いので、アドレス電極6と電界遮蔽電極24（又は24a）とを完全に別々の端部へ振り分けることができないからである。

【0168】(実施の形態7の変形例1)さて、図19の第2基板52Raでは、アドレス電極6と電界遮蔽電極24aとは別々の製造工程において形成される。このため、電界遮蔽電極24aに印加する電圧Vbの制御によって放電空間内の電界制御を確実に実行するためには、両電極6, 24aの各形成工程において一定レベルの位置精度が求められる。

【0169】これに対して、図21に示す本変形例1に係るPDP52bの第2基板52Rbによれば、上述の位置精度の要求を緩和することができる。図21に示すように、第2基板52Rbでは、背面ガラス基板9の表面9S上の全面に亘って電界遮蔽電極24bが配置されている。そして、電界遮蔽電極24bの上記表面9Sとは反対側の表面24Sb上に、誘電体層25(図19参照)に相当する誘電体ないしは誘電体層25bが配置されている。

【0170】更に、誘電体層25bの上記表面24Sbとは反対側の表面25Sb上の所定の位置に、アドレス電極6（図19参照）に相当するアドレス電極6bが配置されている。特に、上記表面9S上の全面に形成された電界遮蔽電極24bからの電界による、正常な書込み放電に与える影響を除去するために、アドレス電極6bの幅は図19のアドレス電極6のそれよりも広く設定される。そして、アドレス電極6b及び上記表面25Sbを覆うように、既述の誘電体層10が配置されている。なお、図21のPDP52bにおけるその他の構成は、図19のPDP52aと同様である。

【0171】第2基板52Rbによれば、第2基板52Raと比較して、電界遮蔽電極24bに対するアドレス電極6bの位置精度は要求されない。従って、両電極24b 6b間に配置ずれを起こすことはないので、第2基

板52Ra又はPDP52aと比較して、製造歩留まりを向上させることができる。

【0172】(実施の形態7の変形例2)既述のように、既述の書き込み誤放電の抑制効果を得るために、電界遮蔽電極とアドレス電極とは必ずしも同一平面上に配置される必要性はない。このため、図22にPDP52cとして示すように、バリアリブ7の内部に電界遮蔽電極24aに相当する電界遮蔽電極24cを配置しても良い。

[0173]

【発明の効果】(1)請求項1に係る発明によれば、当該交流型プラズマディスプレイパネル(以下、「AC型PDP」とも呼ぶ)用基板と、(ガラス)基板上に形成されたアドレス電極を有する別途の基板とで以てAC型PDPを構成する場合には、以下の効果を得ることができる。

【0174】 まず、当該AC型PDP用基板側の金属電極及び誘電体層以外の構成要素が従来のAC型PDPと同様に設定された上記AC型PDPでは、従来のAC型PDPと比較して上記凸部の高さ分だけ、アドレス電極と第1及び第2電極との間の距離が大きい。このため、当該AC型PDPにおいて、従来のAC型PDPと同様の電圧をアドレス電極に印加するときには、かかる電圧による電界が第1及び第2電極間に印加された電圧による電界に及ぼす影響を、従来のAC型PDPよりも小さくすることができる。従って、第1電極と第2電極との間における面放電のために同第1及び第2電極に印加する電圧を、従来のAC型PDPよりも低減することができる。即ち、請求項1に係る発明のAC型PDP用基板をAC型PDPに適用するときには、AC型PDPの省電力化を図ることができる。

【0175】加えて、上述のAC型PDPでは、上記放電空間が従来のAC型PDPよりも凸部の分だけ大きい。このため、第1電極と第2電極との間における面放電の大きさを大きくすることができる。請求項1に係る発明のAC型PDP用基板をAC型PDPに適用するときには、従来のAC型PDPよりも上記面放電の放電効率を向上させることができる。

【0176】更に、上術のAC型PDPでは、第1電極とアドレス電極との間における対向放電を、第1電極の上方の凸部とアドレス電極との間で開始する。このため、本AC型PDP用基板側の金属電極及び誘電体層以外の構成要素を従来のAC型PDPと同様に設定すると共に、本AC型PDP用基板と上記別途の基板との間の距離を従来のAC型PDPよりも小さくする場合には、上記対向放電を発生させるために第1電極とアドレス電極との間に印加する電圧を低減することが可能である。即ち、請求項1に係る発明のAC型PDP用基板をAC型PDPに適用するときには、AC型PDPの省電力化を図ることができる。

【0177】以上のように、請求項1に係る発明によれば、従来のAC型PDPよりも更に省電力化を実現しうるAC型PDPを提供することができる。

【0178】(2) 請求項2に係る発明によれば、誘電体層はガラスペーストの塗布によって形成される。しかも、ガラスペーストの流動性を利用するため、誘電体層の表面凹凸形状は下地パターンの凹凸形状を反映する。従って、従来の製造方法に対して別途の製造工程を増やすことなく、金属電極の形状・寸法のみの制御によって上記凸部を形成可能である。このとき、ガラスペーストの流動性を利用することによって、金属電極上の誘電体層の厚さを内部ギャップ上のそれよりも容易に小さくできる。

【0179】(3) 請求項3に係る発明によれば、当該金属電極はスクリーン印刷法により形成されるので、同印刷法を反復して用いることにより形成された高い金属電極であっても、急峻な角部を有さない。このため、例えばその断面形状が四角形の金属電極とは異なり、ピンホールの発生を抑制しつつ、誘電体の原材料であるガラスペーストを金属電極の輪郭ないしは表面に沿って塗布することができる。このとき、上記四角形の断面形状を有する金属電極の角形状部において発生しうる誘電体層の厚み不均一性も生じない。従って、請求項3に係る発明によれば、十分な絶縁性を有する誘電体層を備えるAC型PDP用基板を提供することができる。

【0180】(4) 請求項4に係る発明によれば、当該AC型PDP用基板をAC型PDPに適用するときには、第1及び第2電極に第1及び第2電極間における面放電を起こすために必要な電圧を印加した場合に、従来のAC型PDPにおける面放電に加えて、第1及び第2電極の各金属電極の突出部分の間において基板の表面に平行な方向にも放電(遠距離対向放電)が発生する。このため、当該遠距離対向放電の増加分だけ、上記突出部分を有さないAC型PDPと比較して、放電効率及び発光効率が向上する。従って、請求項4に係る発明によれば、放電効率ないしは発光効率を向上させてAC型PDPの省電力化を実現しうるAC型PDP用基板を提供することができる。

【0181】(5) 請求項5に係る発明によれば、内部ギャップのエッジ近傍は金属電極の内部ギャップ側のエッジから100μm以上離れているので、ガラスペーストの塗布後に同ペーストの流動が生じても、当該内部ギャップ近傍上に塗布されたガラスペーストの厚みは塗布直後からの変化が小さい。このため、内部エッジ近傍と金属電極の上記エッジとの距離が100μmよりも小さい下地パターンを有するAC型PDP用基板と比較して、内部ギャップ近傍上の誘電体層の厚みをより小さく制御することができる。その結果、誘電体層の表面の起伏差がよりも大きいAC型PDP用基板を提供することができる。従って、上記(1)の効果を確実に発揮しうるAC型PDP用基板を提供することができる。

C型PDP用基板を提供することができる。

【0182】(6) 請求項6に係る発明によれば、金属電極の長手方向における中心軸は同金属電極の両エッジから100μm以上離れている。このため、金属電極の上記中心軸近傍に塗布されたガラスペーストの厚みは、塗布直後から殆ど変化しない。即ち、金属電極の幅が200μmよりも小さい下地パターンを有するAC型PDP用基板よりも、金属電極上の凸部を大きく制御可能である。従って、誘電体層の表面の起伏差を、従来のそれよりも大きくすることができる。即ち、上記(1)の効果を確実に発揮しうるAC型PDP用基板を提供することができる。

【0183】(7) 請求項7に係る発明によれば、金属電極と絶縁物とで以て構成される溝の幅は100μm以下である。このため、当該溝を成す金属電極上及び絶縁物上の双方のガラスペーストが当該溝に流入するので、かかる流入は早期に収束する。このとき、金属電極上のガラスペーストは上記絶縁物と対面しない側の金属電極のエッジから内部ギャップに向けて流出するのみである。従って、上記絶縁物を有さないAC型PDP用基板と比較して、金属電極上に残留するガラスペーストの量は多い。その結果、上記絶縁物を有さないAC型PDP用基板のそれよりも高い凸部を有するAC型PDP用基板を提供することができる。即ち、誘電体層の表面の起伏差がより一層に大きく制御されたAC型PDP用基板を提供することができる。従って、上記(1)の効果を確実に発揮しうるAC型PDP用基板を提供することができる。

【0184】(8) 請求項8に係る発明によれば、絶縁物の黒色部分がブラックストライプの機能を果たすので、上記(5)の効果に加えて、AC型PDPのコントラストを向上させることができるという利点がある。

【0185】(9) 請求項9に係る発明によれば、第1及び第2電極を覆う誘電体層の内で内部ギャップ近傍部分の厚みは、金属電極が各々の透明電極上の内部ギャップから最も遠い位置に形成されている従来のAC型PDPと比較して、金属電極の高さ分だけ薄い。このため、当該AC型PDP用基板をAC型PDPに適用したときには、例えば従来のAC型PDPと同様の電圧を印加して第1及び第2電極間に面放電を発生させる場合に、内部ギャップの上方の放電空間に従来のAC型PDPよりも強い電界を印加することができる。換言すれば、上記面放電を開始させるために第1及び第2電極間に印加する電圧を、従来のAC型PDPよりも低減することができる。即ち、請求項9に係る発明によれば、AC型PDPの省電力化を実現しうるAC型PDP用基板を提供することができる。

【0186】(10) 請求項10に係る発明によれば、上記(1)～(9)のいずれかの効果が発揮されて、従来のAC型PDPよりも省電力化が推進されたAC型P

DPを実現することができる。

【0187】(11)請求項11に係る発明によれば、当該AC型PDP用基板をAC型PDPに適用するときには、電界遮蔽電極に印加する電圧によって放電空間内の電界を制御することができる。このため、請求項11に係るAC型PDP用基板と、例えば第1及び第2電極と当該第1及び第2電極を覆う誘電体層と上述の凸部に相当する凸部とを有する他の基板とで以てAC型PDPを構成するときには、当該他の基板が有する凸部に起因した、上記他の基板側の誘電体層とバリアリブとの隙間に生じる強い電界を抑制・除去することができる。このとき、電界遮蔽電極とバリアリブとは、両者の例え誘電体層の表面への各投影部の少なくとも一部が互いに重なり合う位置に形成されている。このため、電界遮蔽電極に供給される電圧による電界は効果的に上記隙間に印加することができる。従って、上記強い電界によって生じる誤放電を有効に回避することができる。即ち、請求項11に係る発明によれば、所定の動作を確実に実行しうるAC型PDPを実現可能なAC型PDP用基板を提供することができる。

【0188】(12)請求項12に係る発明によれば、アドレス電極と電界遮蔽電極とは互いに同一平面上に、例えばスクリーン印刷法によって一括して印刷形成される。従って、電界遮蔽電極のために別途の製造工程を設けることなく、電界遮蔽電極を形成することができる。即ち、製造コストの増加を招くことがない。かかる点は、両電極をリフトオフ法等によって形成する場合にも妥当である。

【0189】(13)請求項13に係る発明によれば、アドレス電極と電界遮蔽電極とは互いに異なる平面上に形成され、しかも、誘電体層を介して互いに絶縁されている。このため、両電極の各形成パターンの密度は、従来のAC型PDPにおけるアドレス電極の形成パターンと同等である。つまり、請求項12に係るAC型PDP用基板におけるアドレス電極と電界遮蔽電極とから成る、高密度なパターンを有さない。従って、請求項12に係るAC型PDP用基板と比較して、アドレス電極及び電界遮蔽電極の形成時におけるパターン形成の不具合を有効に回避することができる。

【0190】更に、請求項13に係るAC型PDP用基板によれば、アドレス電極と電界遮蔽電極とは互いに異なる平面上に形成されて分離されているので、上記請求項12に係るAC型PDP用基板と比較して、アドレス電極用及び電界遮蔽電極用の配線端子の形成が容易である。

【0191】(14)請求項14に係る発明によれば、電界遮蔽電極は平面電極であるので、請求項13に係るAC型PDP用基板に対して求められるアドレス電極と電界遮蔽電極との間の位置精度を無くすることができるという利点がある。

【0192】(15)請求項15に係る発明によれば、当該AC型PDP用基板がAC型PDPに適用されるときには、確実にバリアリブの近傍の電界を制御しうる。従って、上記(11)の効果がより一層確実に発揮される。

【0193】(16)請求項16に係る発明によれば、アドレス電極の配線端子と電界遮蔽電極の配線端子との間に生じる、それぞれの配線端子を成す材料のマイグレーションを有効に抑制することができる。

【0194】(17)請求項17に係る発明によれば、上記(11)～(16)のいずれかの効果が発揮されて、放電空間内の電界分布に起因する誤放電等の不具合が抑制・除去されて所定の動作を確実に実行しうるAC型PDPを実現することができる。

【0195】(18)請求項18に係る発明によれば、上記(1)～(9)のいずれかの効果が発揮されて従来のAC型PDPよりも省電力化が推進されると共に、請求項1乃至9に係るAC型PDP用基板をAC型PDPに適用した場合に生じる、放電空間内の電界分布に起因する誤放電等の不具合が抑制・除去されて所定の動作を確実に実行しうるAC型PDPを実現することができる。

【0196】(19)請求項19に係る発明によれば、第1基板が有する凸部に起因した、第1基板側の誘電体層とバリアリブとの隙間に生じる強い電界を抑制・除去可能である。このため、書き込み放電の際(従って、アドレス期間中)に、上記強い電界によって生じる誤放電を有効に回避することができる。従って、維持放電時(従って、維持期間中)における放電セルの誤放電、即ち、誤った表示発光が無く、所定の動作を確実に実行しうるAC型PDPを実現することができる。

【0197】このとき、電界遮蔽電極に印加する電圧を第2電圧に設定する時には、AC型PDPを備えるプラズマディスプレイ装置の回路構成を簡略化できるという利点がある。

【0198】(20)請求項20に係る発明によれば、書き込み放電以外の放電を発生させる際にもアドレス電極に所定の電圧を印加する場合には、アドレス電極に供給される所定の電圧に起因する放電セル内の所定の電界分布に電界遮蔽電極の電位が与える影響を小さくすることができる。このため、上記書き込み放電以外の放電を発生させる際ににおける放電の効率を下げる無く、所定の放電を確実に起こすことができる。

#### 【図面の簡単な説明】

【図1】この発明の前提技術としてのAC型PDPの駆動方法において、1画面のサブフィールド分割形態と各サブフィールド内での各種動作期間設定を表わす図である。

【図2】この発明の前提技術としてのAC型PDPの駆動方法において、サブフィールドでの各電極に印加さ

れる信号波形を示すタイミングチャートである。

【図3】 この発明の前提技術としてのAC型PDPの他の駆動方法において、サブフィールドでの各電極に印加される信号波形を示すタイミングチャートである。

【図4】 走査電極とアドレス電極との間における対向放電の形態を説明するための図である。

【図5】 電極対間における面放電の形態を説明するための図である。

【図6】 実施の形態1に係るAC型PDPの構造を模式的に示す縦断面図である。

【図7】 実施の形態1に係るAC型PDPの第1基板の構造を模式的に示す縦断面図である。

【図8】 実施の形態1に係るAC型PDPの構造を模式的に示す縦断面図である。

【図9】 実施の形態2に係るAC型PDPの第1基板の第1の構造を模式的に示す縦断面図である。

【図10】 実施の形態2に係るAC型PDPの第1基板の第2の構造を模式的に示す縦断面図である。

【図11】 実施の形態2に係るAC型PDPの第1基板の第3の構造を模式的に示す縦断面図である。

【図12】 実施の形態2に係るAC型PDPの第1基板の第4の構造を模式的に示す縦断面図である。

【図13】 実施の形態2に係るAC型PDPの第1基板の第5の構造を模式的に示す縦断面図である。

【図14】 実施の形態2に係るAC型PDPの第1基板の第6の構造を模式的に示す縦断面図である。

【図15】 実施の形態3に係るAC型PDPの構造を模式的に示す縦断面図である。

【図16】 実施の形態4に係るAC型PDPの構造を模式的に示す縦断面図である。

【図17】 誘電体層とバリアリブとの間に隙間を有する場合に生じる誤放電のメカニズムを説明するための図である。

【図18】 実施の形態5に係るAC型PDPの構造を模式的に示す縦断面図である。

【図19】 実施の形態7に係るAC型PDPの構造を

模式的に示す縦断面図である。

【図20】 実施の形態7に係るAC型PDPの構造における、周縁部でのアドレス電極と電界遮蔽電極との配置位置の関係を模式的に示す上面図である。

【図21】 実施の形態7の変形例1に係るAC型PDPの構造を模式的に示す縦断面図である。

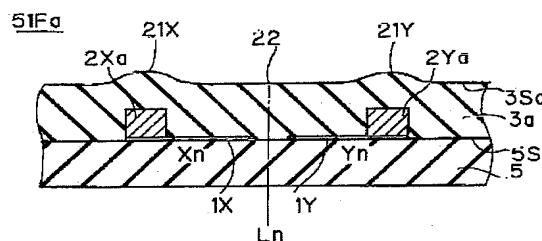
【図22】 実施の形態7の変形例2に係るAC型PDPの構造を模式的に示す縦断面図である。

【図23】 従来技術に係るAC型PDPの構造を模式的に示す分解斜視図である。

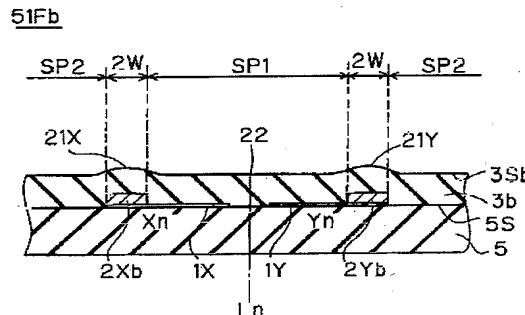
#### 【符号の説明】

1 X, 1 Y 透明電極、1 SX, 1 SY, 2 SXc, 2 SYc, 2 SXd, 2 SYd, 3 S, 3 SA, 3 Sa~3 Sh, 4 S, 5 S, 6 S, 8 S, 10 S, 12 S 表面、2 X, 2 Xa~2 Xh, 2 Y, 2 Ya~2 Yh バス電極（金属電極）、3, 3 A, 3 a~3 h 誘電体（層）、4 カソード膜、5 前面ガラス基板、6, A m アドレス電極、8 蛍光体（層）、9 背面ガラス基板、9 S 表面（主面）、10 オーバーグレーズ層、12 絶縁物、21 X, 21 Y 凸部、22 凹部、23 隙間、24, 24 a~24 c 電界遮蔽電極、25 誘電体（層）、35 U字型溝、35 S 内表面、51, 51 g, 52, 52 a PDP、51 S 放電空間、51 F, 51 Fa~51 Fh, 52 F 第1基板（AC型PDP用基板）、51 R, 52 R, 52 Ra~52 Rc 第2基板（AC型PDP用基板）、AD アドレス期間、AR1 表示エリア、AR2 引き出し部領域、AR3 端子部領域、AR4 余白領域、BL ブロック、DC1, DC11, DC12 対向放電、DC2 面放電、DC3 遠距離対向放電、Ln 走査線、G 内部キャップ、RA, RB 消去期間、S 維持期間、SF1~SF8 サブフィールド、SP1 内部スペース、SP2 外部スペース、TP 透明部、Xn 電極（第1電極）、Yn 電極（第2電極）、Vb, Vo n, Voff, Vx, Vy, Vs 電圧、2W ライン。

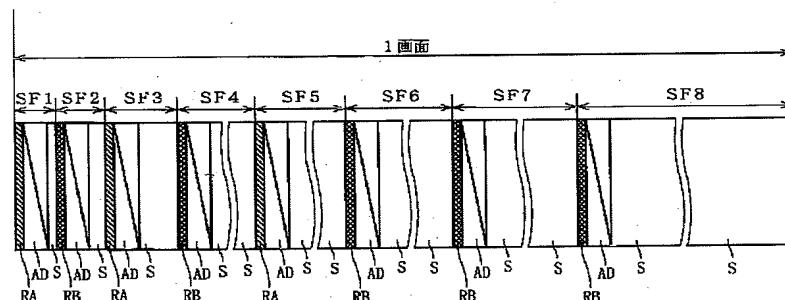
【図9】



【図10】

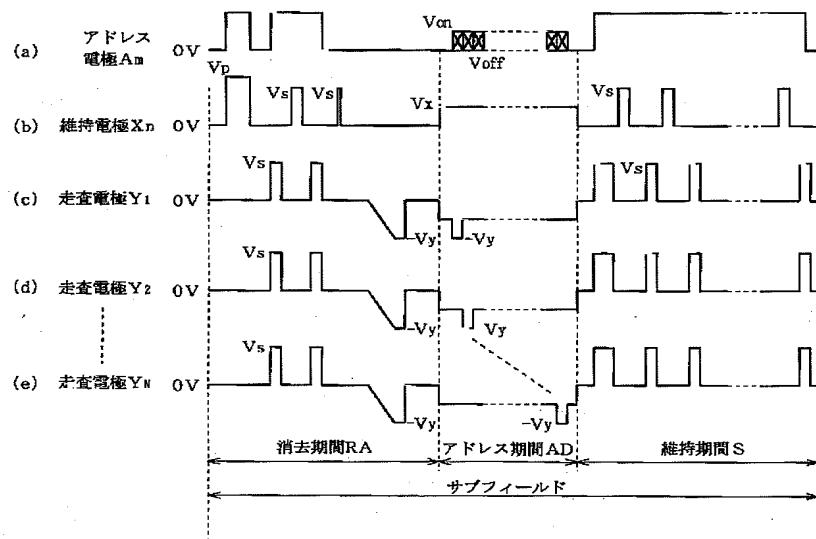


【図1】



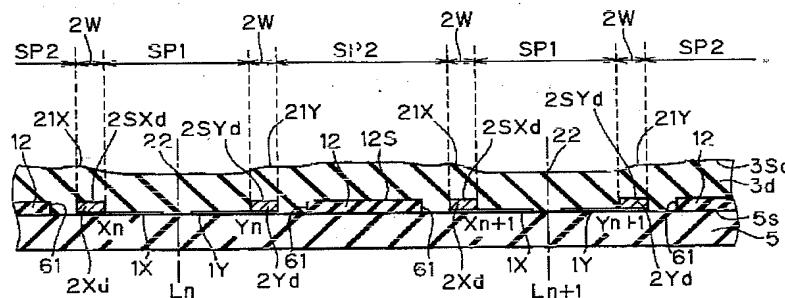
SF1~SF8 : サブフィールド  
RA : 消去期間  
RB : 消去期間  
AD : アドレス期間  
S : 維持期間

【図2】

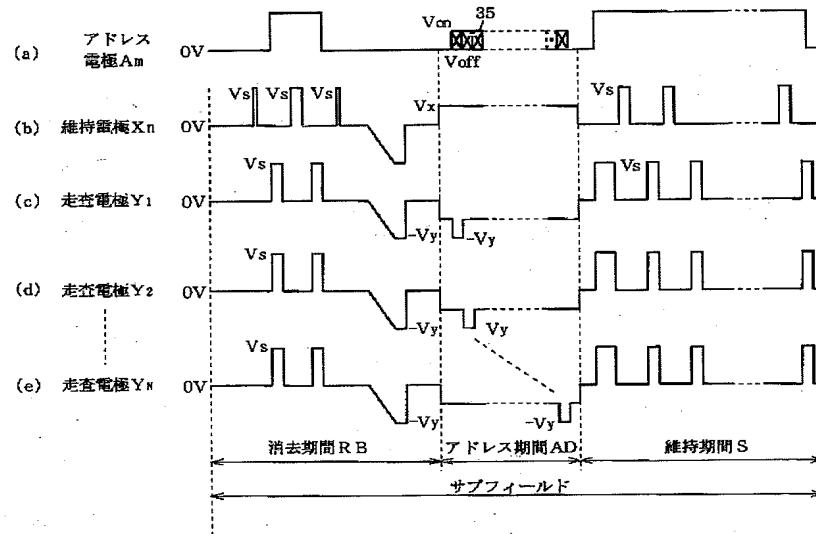


【図12】

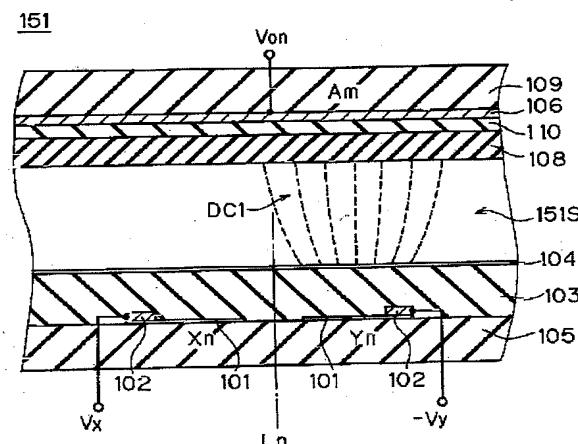
51Fd



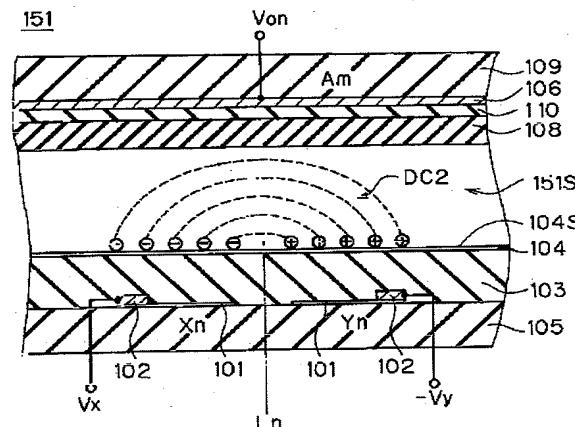
【図3】



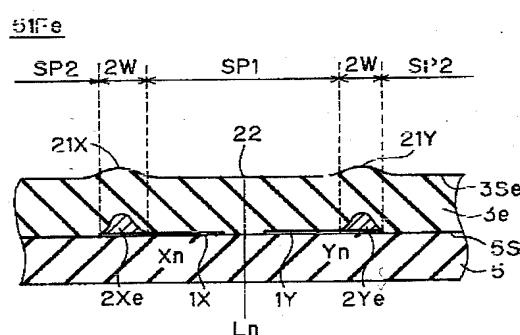
【図4】



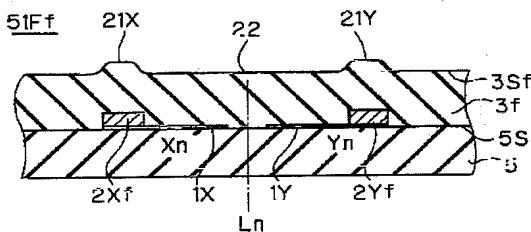
【図5】



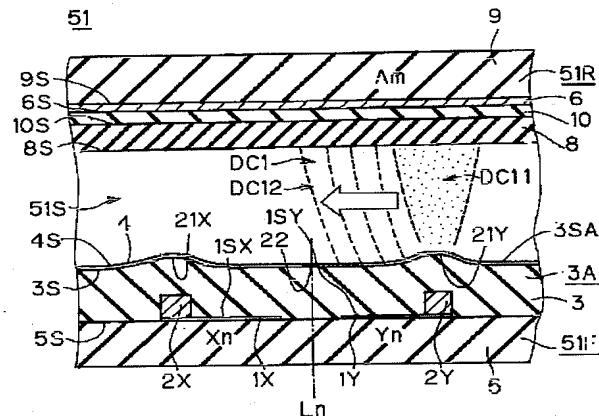
【図13】



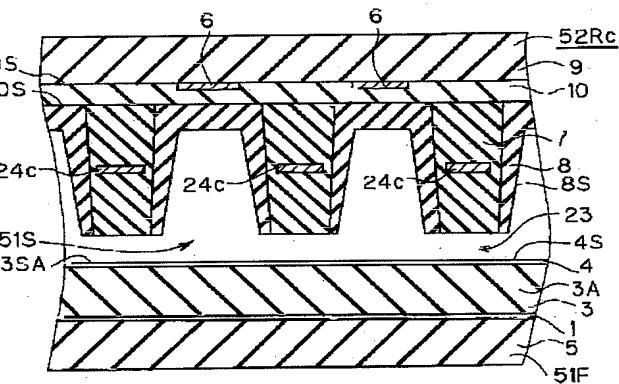
【図14】



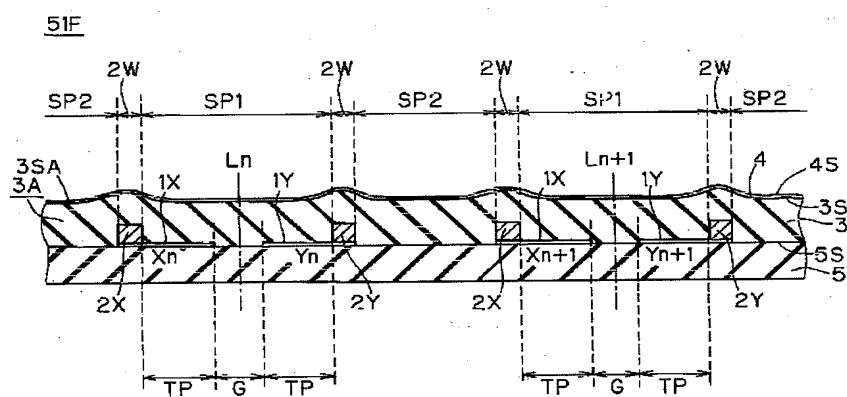
【図6】



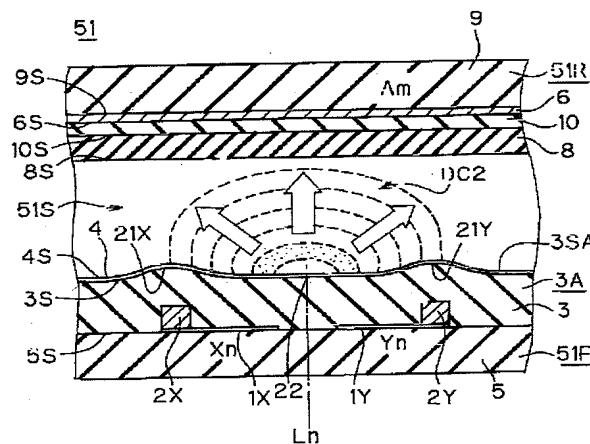
【図22】



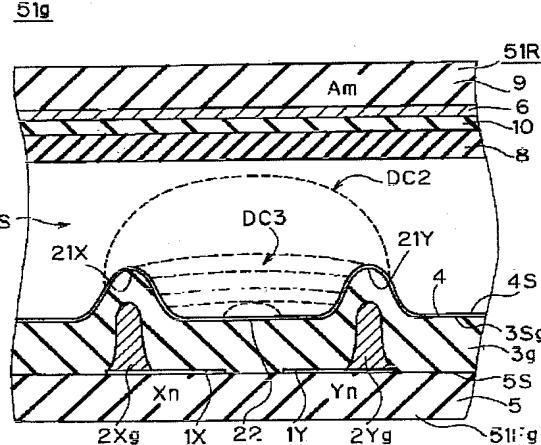
【図7】



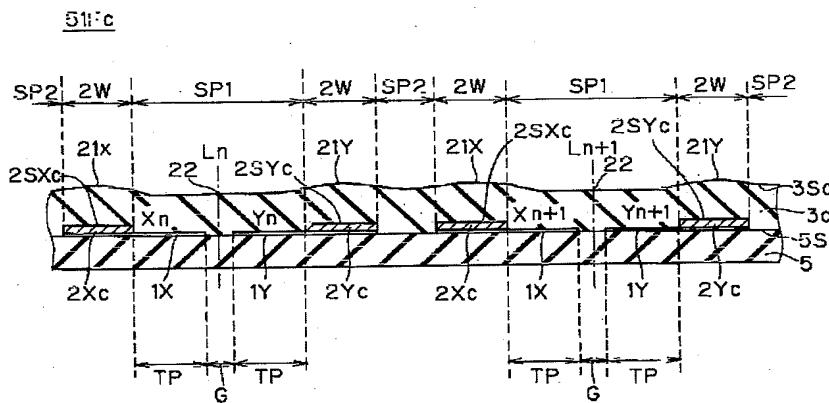
【図8】



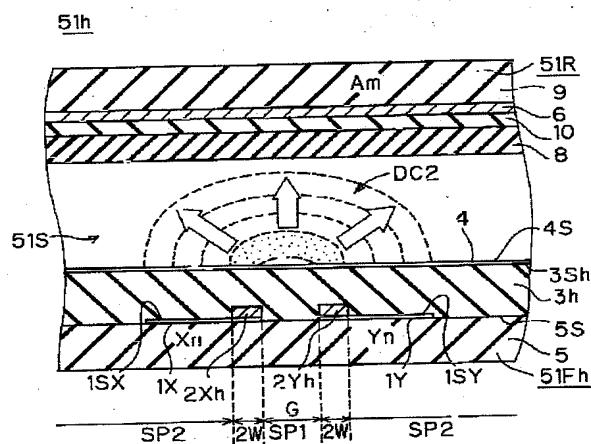
【図15】



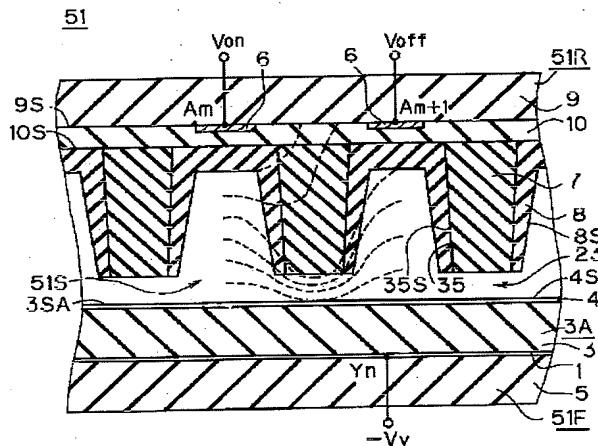
【図11】



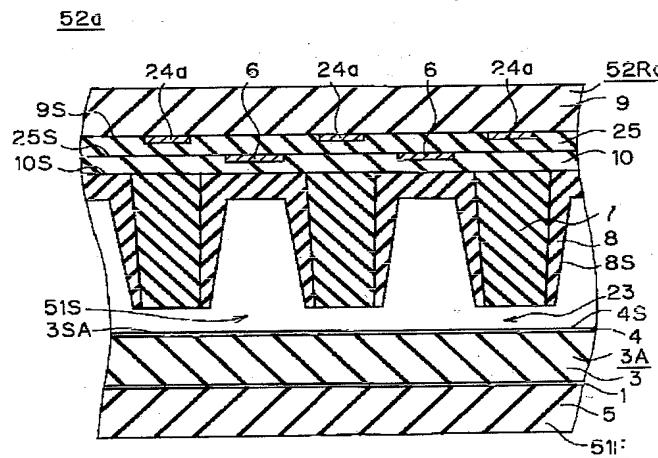
【図16】



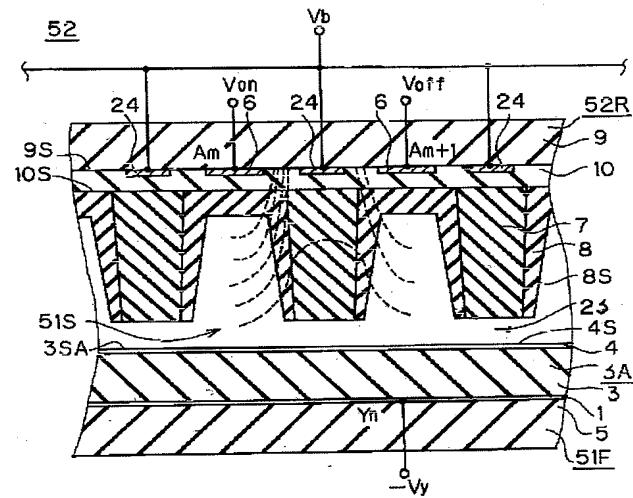
【図17】



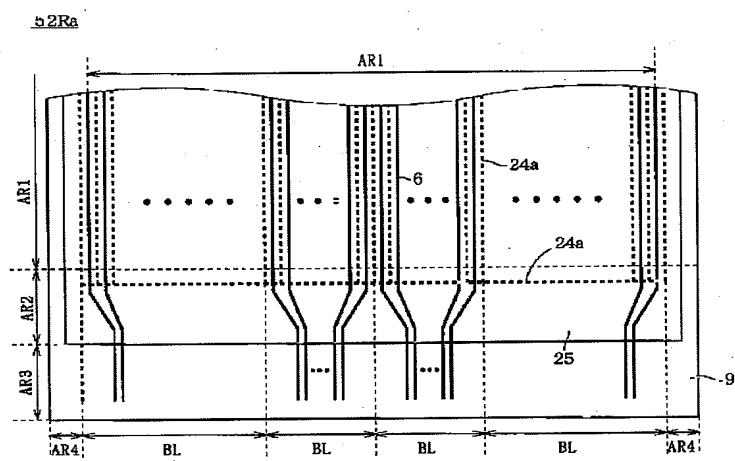
【図19】



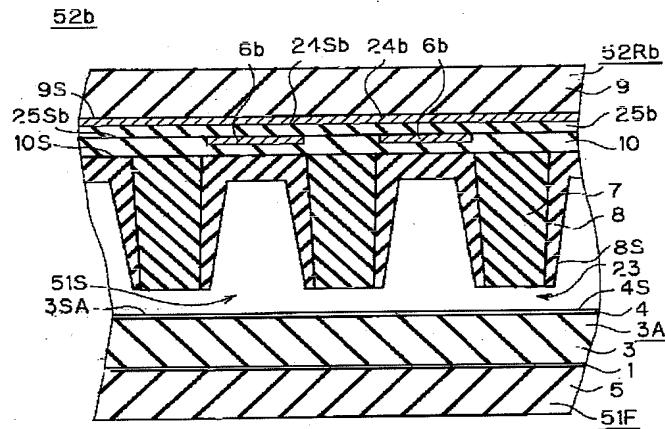
【図18】



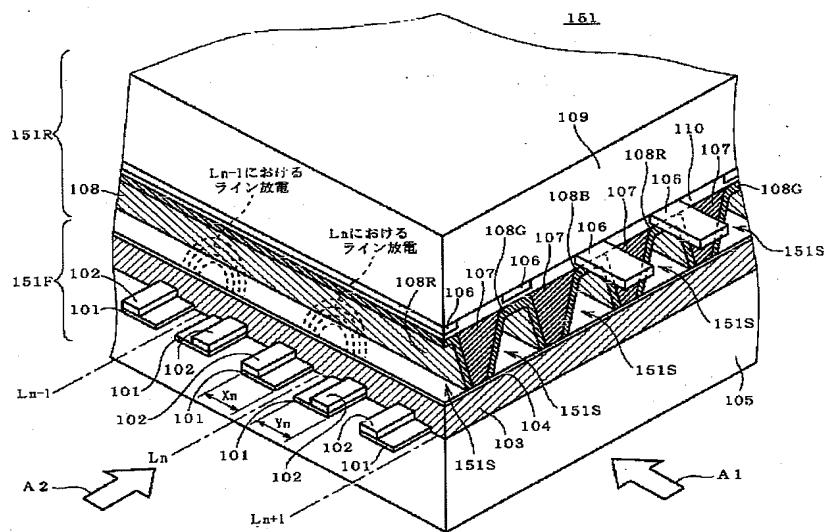
【図20】



【図21】



【図23】



## フロントページの続き

Fターム(参考) 5C040 FA01 GB03 GB11 GB14 GC05  
GC06 GC11 GC13 GC20 GD01  
GF18 JA12 LA05 LA10 LA18  
MA12 MA17 MA20  
5C080 AA05 BB05 CC03 DD09 DD26  
FF10 GG08 HH02 HH04 HH05  
HH06 KK02 KK05 KK43